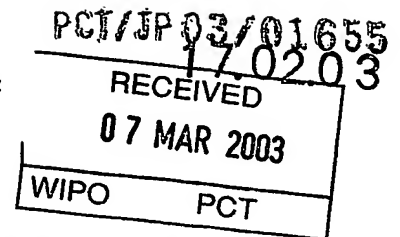


日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 4月23日

出 願 番 号

Application Number:

特願2002-121231

[ST.10/C]:

[JP2002-121231]

出 願 人

Applicant(s):

ナノパワーソリューション株式会社

BEST AVAILABLE COPY

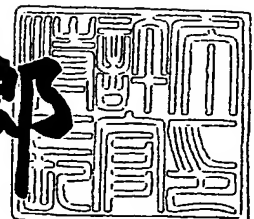
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1 (a) OR (b)

2003年 2月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3003992

【書類名】 特許願
【整理番号】 117708E
【提出日】 平成14年 4月23日
【あて先】 特許庁長官殿
【発明者】

【住所又は居所】 東京都豊島区南大塚 3 - 3 2 - 9 西島ビル ナノパワ
ーソリューション株式会社内

【氏名】 秋田 晋一

【特許出願人】

【識別番号】 501114316

【氏名又は名称】 ナノパワーソリューション株式会社

【代理人】

【識別番号】 100061815

【弁理士】

【氏名又は名称】 矢野 敏雄

【電話番号】 03-3503-3303

【選任した代理人】

【識別番号】 100094798

【弁理士】

【氏名又は名称】 山崎 利臣

【電話番号】 03-3503-3303

【選任した代理人】

【識別番号】 100099483

【弁理士】

【氏名又は名称】 久野 琢也

【電話番号】 03-3503-3303

【選任した代理人】

【識別番号】 100114890

【弁理士】

【氏名又は名称】 アインゼル・フェリックス＝ラインハルト

【電話番号】 03-3503-3303

【手数料の表示】

【予納台帳番号】 000217

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 雑音除去回路

【特許請求の範囲】

【請求項 1】 基準電圧を発生する基準電圧発生手段と、
動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、
前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、
電源回路の出力を生成する電圧電流出力手段と、
出力電圧変動を検出する出力分圧手段と、

少なくとも 1 つの容量成分を含んだキャンセル信号発生手段とを有する雑音除去回路であって、

前記基準電圧発生手段には前記誤差増幅手段の第 1 の入力端子が接続され、前記出力分圧手段には前記誤差増幅手段の第 2 の入力端子が接続され、前記キャンセル信号発生手段には前記第 2 の入力端子が接続され、前記キャンセル信号発生手段は、前記容量成分と前記出力分圧回路の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めることを特徴とする雑音除去回路。

【請求項 2】 基準電圧を発生する基準電圧発生手段と、
動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、
前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、
電源回路の出力を生成する電圧電流出力手段と、
出力電圧変動を検出する出力分圧手段とを有する雑音除去回路であって、

前記誤差増幅器は、第 1 の型の半導体素子の組で構成される入力部と、第 2 の型の半導体素子の組で構成される負荷部とを有し、前記入力部と前記負荷部との間に、第 1 の型の半導体素子からなる雑音抑圧部が配置され、当該雑音抑圧部のひとつの端子は前記第 1 の電源に接続され、かつ、当該雑音抑圧部の基盤端子は前記第 2 の電源に接続されていることに特徴を有する雑音除去回路。

【請求項 3】 基準電圧を発生する基準電圧発生手段と、
動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、
前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、
電源回路の出力を生成する電圧電流出力手段と、

出力電圧変動を検出する出力分圧手段と、

少なくとも1つの容量成分を含んだキャンセル信号発生手段とを有する雑音除去回路であって、

前記基準電圧発生手段には前記誤差増幅手段の第1の入力端子が接続され、前記出力分圧手段には前記誤差増幅手段の第2の入力端子が接続され、前記キャンセル信号発生手段には前記第2の入力端子が接続され、前記キャンセル信号発生手段は、前記容量成分と前記出力分圧回路の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めるものであり、

前記誤差増幅器は、第1の型の半導体素子の組で構成される入力部と、第2の型の半導体素子の組で構成される負荷部とを有し、前記入力部と前記負荷部との間に、第1の型の半導体素子からなる雑音抑圧部が配置され、当該雑音抑圧部のひとつの端子は前記第1の電源に接続され、かつ、当該雑音抑圧部の基盤端子は前記第2の電源に接続されていることを特徴とする雑音除去回路。

【請求項4】 前記基準電圧回路および前記誤差増幅器出力電圧の電源電圧依存係数の絶対値は、電源電圧変化1ボルトあたり-60デシベル以下であり、電源電圧依存係数の絶対値の差は-80デシベル以下であり、かつ前記基準電圧発生回路の電源電圧依存係数の極性と誤差増幅回路の極性が互いに反対の極性である請求項1乃至3記載の雑音除去回路。

【請求項5】 前記キャンセル信号発生回路の容量成分の容量は、0.1pF乃至0.001pFの微小容量である請求項1、3乃至4記載の雑音除去回路。

【請求項6】 前記バイアス電流発生回路が省略されており前記基準電圧発生回路が前記バイアス電流発生回路と兼ねられている請求項1乃至5記載の雑音除去回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は主として直流安定化電源装置おけるリプル雑音除去に関するものである。特に低動作電流でかつ高いリプル雑音除去率を達成する電源回路を提供するものである。

【 0 0 0 2 】

【従来の技術】

携帯電子機器に限らずその他あらゆる電子装置には直流安定化電源電圧が必ず複数個内蔵されている。デジタル回路用、高周波回路用、アナログ回路用などには、それぞれの用途に適した特性の電源回路が配置されている。なかでも携帯電話器の場合には、送信部の電源のリプル除去率が悪いと通話明瞭度が劣化するので可能な限り高いリプル除去率が求められる。また、デジタルコード化された無線通信手段であっても、送受信はキャリア信号をアナログ的に変調復調するので電源リプル雑音はエラー率に悪影響をもたらす。こうしたリプル雑音除去に関しては、例えば -80 dB のリプル除去率を達成するためには十分な動作電流数 $100\text{ }\mu\text{A}$ を流せば可能であり、後述するようにいくつか発明が提案されているが、低動作電流を大幅に減らしてかつ高リプル除去率を実現した提案は存在しなかった。

【 0 0 0 3 】

現在、世界中で動作している電子装置の数は数十億の単位と推定される。ちなみに一つの電源回路が $200\text{ }\mu\text{A}$ で動作しているとすると50億個で100万アンペアの電流を流している事になり、3Vで動作しているとすると300KWの電力が消費されている計算になる。以下、図面を参照しつつ、従来技術及び従来技術下での回路理論について考察する。

【 0 0 0 4 】

(1) 従来回路の例

図1は従来から用いられているCMOS型安定化電源回路のブロック図である。図1において、1、2は電圧供給端子を示し、50は基準電圧 V_{ref} を発生する基準電圧発生回路であり、60は動作電流を定めるためのバイアス電流を発生する回路であり、100は基準電圧 V_{ref} に対する誤差電圧を増幅する誤差増幅回路であり、30は本電源回路の出力を生成する電圧出力回路であり、40は出力電圧の変動を検出し出力を分圧する回路である。この従来の安定化電源回路の具体例が、図2の回路図である。ここで、誤差増幅器100は2段構成で、差動回路10が1段目、位相反転増幅器20が2段目として構成されている。基準電圧発生回

路 5 0 は、誤差増幅器の入力端子 N 1 に接続され、出力分圧回路 4 0 は、誤差増幅器の入力端子 N 2 に接続されている。

【 0 0 0 5 】

図 3 は図 2 の従来例回路における直流特性を示すグラフであり、出力電圧 V_{out} と基準電圧 V_{ref} の電源電圧 V_{dd} 依存性を示している。横軸に電源電圧 V_{dd} をとり、3 1 は動作電流、3 2 は出力トランジスタのゲート電圧、3 3 は出力電圧 V_{out} 、3 4 は基準電圧を示している。図 4 は図 3 を 1 0 0 0 0 倍に拡大したグラフであり、4 1 が出力電圧 V_{out} 、4 2 が基準電圧 V_{ref} をそれぞれ示す。図 4 中の 4 2 に見られるように一般的には基準電圧源 V_{ref} は正の電源電圧係数を持ち、電源電圧が上がるとその出力も増加する性質を持っている。これはリプル除去には非常に具合が悪く、低域のリプル除去率は基準電圧の電源電圧依存係数が大きく影響する。電源電圧係数をゼロすることは不可能ではないが、トリミングや特殊な電圧係数素子を用いる必要があるので広く普及している半導体製造方法では非常に高価なものになってしまう。

【 0 0 0 6 】

(2) 従来回路の理論式

次に、出力電圧の理論検討をする。出力電圧 V_{out} は次の式で表される。

【 0 0 0 7 】

$$V_{out} = V_{ref} * (A_v / (1 + K * A_v)) + S_o \quad (1)$$

ここで、 V_{ref} は基準電圧、 A_v は誤差増幅器の電圧利得、 K は分圧回路の分圧比、 S_o は誤差増幅器のシステムオフセット電圧を示す。

【 0 0 0 8 】

基準電圧 V_{ref} は電源電圧 V_{dd} の変動の影響を受けるのでその変化率は、 V_{ref} の電源電圧係数 $\Delta V_{ref} = (\delta V_{ref} / \delta v) / K$ で表される。

【 0 0 0 9 】

K は出力分圧抵抗の分圧比なので $K < 1$ であり、 V_{ref} に乗ってきたリプル ΔV_{ref} はフィルターで除去しないと高い $PSRR$ (Power Supply Rejection Ratio)。電源電圧 V_{dd} が 1 V 変化したときに出力がどれだけ変化したかの比率。例えば、出力が 1-mV 変化したとすれば、 $PSRR$ は、1

mV / 1 V 即ち - 6 0 d B となる。) が実現できないが、Vref のリプルは非常に低い周波数から高い周波数まで含まれるので、フィルターには大きな時定数が要求されていて、全部の周波数帯域を除去するフィルターは半導体同一チップ上に集積化は実現できていない。

【 0 0 1 0 】

図 4 で Vref は V d d が 4 v ~ 5 v (0 d B) の間で約 1 0 μ V (- 1 0 0 d B) 増加している。Vout は 9 0 μ V (- 8 2 d B) 増加している。

【 0 0 1 1 】

K は出力分圧回路の分圧比で次式で示される。

【 0 0 1 2 】

$$K = R 1 / R 1 + R 2$$

ここで、R 1 , R 2 は出力分圧回路の抵抗であり、ポリシリコンで製造すれば V d d の影響を無視できるので電源電圧 V d d の変化率は考えないことにする。K の値は出力電圧を決める分圧値であり Vref は 0 . 2 から 0 . 8 が一般的なので極端に小さな値や大きな値は設定できないので、リプル低減には限定的にしか寄与しないといえる。

【 0 0 1 3 】

So はシステムオフセット電圧を表していて、回路構成上不可避免的に発生するので、従来採用されなかった考え方で実験値からその存在を仮定して導入した。経験的に Vdd の影響を受けると知られていてたいていはプラスの係数を有するがマイナス傾斜に出来ると重要な働きをすることを式(1)は示している。

【 0 0 1 4 】

ここで、So の電源電圧係数は $\Delta So = \delta So / \delta v$ で表される。

【 0 0 1 5 】

Av は回路全体の増幅率でオープンループ利得あり、当然電源電圧 Vdd 依存性があるので変化率は次の微分式で表される。

【 0 0 1 6 】

$$\Delta Av = (\delta Av / \delta v) / (1 + KAv)^2 \text{ となる。}$$

【 0 0 1 7 】

ちなみに $A_v = 10000$ 倍(80dB)、 $K = 0.5$ 、電源電圧が1V上昇すると10000倍から12000倍に変化し、 $\delta A_v = 2000$ 倍、 $\delta V = 1\text{V}$ となり

$$\Delta A_v = 80 \times 10^{-6}$$

$V_{\text{ref}} = 1.2\text{V}$ のときリプル成分は $96\mu\text{V}$ (-80.5dB)に相当して無視できるレベルでないことがわかる。

【0018】

以上の理論的検討から、合計の V_{out} のリプル成分は下記(2)式で示されることが分かる。

【0019】

$$\Delta V_{\text{out}} = \Delta V_{\text{ref}} + V_{\text{ref}} * \Delta A_v + \Delta S_o \quad (2)。$$

【0020】

(3) 安定度の検討

次に安定度に関し各増幅段の利得と極点、ゼロ点の周波数理論式を検討する。

【0021】

まず、各増幅段の利得を考察する。1段目、2段目、3段目の利得をそれぞれ A_{v1} 、 A_{v2} 、 A_{v3} すると、

$A_v = A_{v1} * A_{v2} * A_{v3}$ であり、

i 番目の増幅段の利得を A_{vi} とすると、 A_{vi} は下記(3)式で表される。

【0022】

$$A_{vi} = G_{mi} * Z_{oi} \quad (3)$$

ここで、 G_{mi} 、 Z_{oi} は i 段目の増幅器のコンダクタンスと出力インピーダンスであり、

$Z_{oi} = R_{pi} // R_{ni} // C_{oi}$ である($R_{pi} // R_{ni} // C_{oi}$ は、Pトランジスタ i の出力抵抗、Nトランジスタ i の出力抵抗、出力 i の容量分の並列インピーダンスを表す)。 R_{pi} は、下記(4)式で表され、 G_{mi} は、下記(5)式で表される。

【0023】

$$R_{pi} = \alpha (L_i / I_{di}) \sqrt{(V_{dgi} + V_{tpi})} \quad (4)$$

ここで、 α は補正係数で大体 $5 \times 10^6 \sqrt{\text{V/m}}$ である。

【0024】

$$G_{mi} = \sqrt{2 \mu_p C_{ox} (W_i / L_i) I_{di}} \quad (5)$$

μ_p 、 C_{ox} 、 W_i 、 L_i 、 I_{di} はそれぞれ P F E T のキャリア移動度、ゲート酸化膜の単位容量、トランジスタ i のチャネル幅、チャネル長、ドレイン電流を示している。

【0025】

次に周波数特性を考察する。

【0026】

1 段目、2 段目、3 段目の増幅回路はそれぞれ F_{pi} の周波数で極点を持つ。

【0027】

$$F_{pi} = 1 / 2 \pi * Z_{oi} \quad (6)$$

各段の出力は周波数 F_{pi} で増幅度が -6 dB/オクターブ で減衰し始める。

【0028】

リプル雑音除去率に関して、前述の式(2)から、 V_{out} のリプル成分を小さくするためには、増幅率 A_v が大きければ大きいほどよいことがわかる。(5)式からわかるように回路利得を高くするためにはドレイン電流 I_{di} をある程度大きくすれば効果があることが推定できる。一方、式(4)はドレイン電流 I_{di} を小さくすると出力インピーダンスがあがって利得が上昇することを示している。また式(4)と(5)はドレイン電流 I_{di} を下げると極周波数が下がり、高い周波数まで利得が伸びないことを示している。

【0029】

この段階では安定度やリプル除去率を考察するにはまだ不十分で周波数特性はさらにゼロ点の存在が関係する。極点周波数では利得が -6 dB/オクターブ で減衰してゼロ点周波数では $+6 \text{ dB/オクターブ}$ で上昇するが通常は極点周波数が低いので利得は平坦な特性を示す。

【0030】

図1の従来例ではもっとも大きく位相や利得の周波数特性に関与するのは2つのゼロ点がある。第一のゼロ点周波数 F_{z1} は出力平滑コンデンサ C_3 と負荷抵

抗 R_3 で定まる。

【0031】

$$F_{z1} = 1 / 2\pi * R_3 * C_3 \quad (7)$$

第2のゼロ点周波数は非常に重要である。出力トランジスタ P_3 の出力回路は集積化電源回路においては太さ 25μ から 30μ の太さの金線で接続されていて長さが 1mm から 3mm なら数十ミリオームから百数十ミリオームの抵抗を有する。金線の両端はアルミパッドとリード線に圧着されている部分で数十ミリオームの接触抵抗と寄生抵抗を有する。合計で $R_{og} = 100$ ミリオームから 200 ミリオームの抵抗を有している。また平滑用出力コンデンサ C_3 の等価直列抵抗 ESR も大きく関係する

$$F_{z2} = 1 / 2\pi * (R_{og} + ESR) * C_3 \quad (8)。$$

【0032】

(4) ゼロ点周波数考察

C_3 は一般的には 1000pF から $10\mu\text{F}$ が広く利用される。 R_3 は負荷電流によって大きく変動する。例えば 10 オームから 100K オーム程度とする、 R_{og} は 200m オーム、 $ESR = 20$ ミリオームとすると、 $F_{z1} = 0.15\text{Hz} \sim 1.5\text{MHz}$ 、 $F_{z2} = 72\text{KHz} \sim 7.2\text{MHz}$ の範囲であり、 F_{z1} は動作中の電流に依存して大きく移動するが、 F_{z2} は一度各部の値を設定すれば負荷電流には依存しない。 F_{z2} は後で詳しく述べるが、ちょうど位相遅れが 180 度のあたりの位相特性に影響するので安定度にとって重要な要素である。

【0033】

(5) 安定度と極点周波数の具体例考察

安定化電源回路の安定度は極点周波数が互いに離れていれば安定であるとされている。例えば 10 倍づつ離れていると問題がおきないとされている。格段の極点周波数の具体例を検討してみる。

【0034】

1 段目の極点周波数 F_{p1} は、 $R_{o1} = 300\text{K} \sim 150\text{K}$ 、 $C_{o1} = 0.1 \sim 0.2\text{pF}$ であり、 $F_{p1} = \text{数}100\text{KHz} \sim \text{数MHz}$ 程度になるが、比較的

問題になりにくい。

【0035】

2 段目の極点周波数 F_{p2} は $R_{o2} = 50\text{ K} \sim 100\text{ K}$ 、 $C_{o2} = 150\text{ pF} \sim 250\text{ pF}$ であり、 $F_{p2} = \text{数 KHz} \sim 10 \text{ 数 KHz}$ となる。 C_{o2} は出力トランジスタのゲート容量と追加容量 C_2 の和である。出力電流規格つまり出力トランジスタサイズで変化する。動作中はほぼ固定しているが、次に述べる F_{p3} との関係で問題になる。

【0036】

最終段の極点周波数 F_{p3} は R_{o3} が負荷電流によって大きく変化するので動作中に大きく変動する。無負荷のときは R_{o3} が大きくなって数 Hz まで下がり、低い周波数から位相が回るので位相余裕が少なくなって不安定になる恐れが出てくる。そのために出力分圧抵抗にアイドリング電流を流しておいてこれを回避する。

【0037】

大きな電流を引いたときは 150 KHz まで上昇する。このとき 2 段目の極点周波数 F_{p2} に接近してかつ利得が大きいと動作が不安定なるので F_{p2} をずらす必要が生じる。 F_{p2} を高くすることはこのままの回路構成では不可能なので従来は C_2 を増加して F_{p2} を下げる対策が一般的である。しかしこの方法は P_4 のゲートに数 pF から数 10 pF のコンデンサを付加するので電源リプル雑音が p_d から V_{out} に抜けてしまい、リプル雑音除去が犠牲になることが避けられなかった。さらにパルス的な変化への応答にさいして、付加されたコンデンサの充放電をすばやく行うために出力トランジスタ P_4 を駆動する P_3 には十分な動作電流を流しておく必要もあった。

【0038】

このように従来回路構成では、良好なリプル雑音除去率（例えば 10 KHz で -80 dB 以上の特性）および良好な安定度を得るためには十分な動作電流とアイドリング電流を流す必要があることが理論式からも推定される。

【0039】

(6) 従来回路のシミュレーション特性

図 5 と図 6 は従来 of 回路で、動作電流を大きくした場合と減らした場合の利得位相一周波数特性および P S R R 特性をシミュレーション結果のグラフを示している。5 1, 5 2, 5 3 は V o u t の利得特性を示し、5 4, 5 5, 5 6 は位相特性を示し、6 1, 6 2, 6 3 は P S R R 特性を示している。5 1, 5 4, 6 1 は動作電流が 1 0 0 μ A 以上の時、5 2, 5 5, 6 2 は動作電流が 2 μ A 以下の時をそれぞれ示す。位相余裕度は回路の安定度を測る指数であるが、利得が 1 の時の 1 8 0 度からの位相差で定義される。利得 1 の周波数で 1 8 0 度位相から位相回りが少なければ安定であり発振しない。

【 0 0 4 0 】

図 5 では 5 4 が 0 d B を横切る周波数 4 0 0 K h z 付近で位相余裕が約 5 0 度で十分な余裕がある。6 1 は動作電流が十分大きいときの P S R R 特性で、良好な P S R R - 9 0 d B が得られていることを示している。

【 0 0 4 1 】

ところが 5 2 と 5 5 は 5 2 が 0 d B の時に 5 5 はすでに 1 8 0 度を過ぎていて、5 5 が 1 8 0 度を横切る周波数 1 0 K h z 付近で 5 2 はまだ十分な利得 4 0 d B を有していてこの付近の周波数で発振することを示している。つまり従来 of 回路では動作電流を減らしていくと位相の回りが低い周波数からおきて利得も下がらず、安定動作できなくなることを示してしている。

【 0 0 4 2 】

特性曲線 5 3, 5 6, 6 2 は動作電流を 2 μ A 以下に減らした時、C 3 を 1 0 0 μ F と大きくして、位相特性を改善して安定度を高めた回路の特性である。C 3 を大きくしたので第 3 極点 F p 3 が大幅に下って利得が 2 0 d B 程度低下している。第 2 ゼロ点周波数 F z 2 は大きな C 3 のために 1 0 K h z と 1 0 0 K h z の間に設定されて位相遅れを抑えて安定度を大きく改善している。5 3 の利得 0 d B のとき 5 6 は位相余裕約 5 0 度があることを示している。このように極点とゼロ点を調整すれば従来 of 回路方式でも、動作電流を大幅に下げて安定度を確保して安定化電源回路を作ることは可能であるが、C 3 に大きな容量値が必要なので小型機器には採用できないことと、結果として P S R R は大幅に低下してしまう問題がある。図 6 の 6 2 は 5 3, 5 6 に対応する P S R R 特性で 6 1 に比べ

て 1 0 K h z 付近で約 4 0 d B 以上も特性が劣化していることを示している。

【 0 0 4 3 】

6 3 は図 2 における従来例の回路で動作電流を $2 \mu A$ 以下にした場合の P S R R 特性を比較のために示す。2 段増幅構成なので利得が不足して良好な特性が得られていない事を示している。

【 0 0 4 4 】

以上の考察から、従来の回路方式では動作電流を十分大きくしないと、良好なリップル除去率は達成できなかったことが理解される。

【 0 0 4 5 】

【発明が解決しようとする課題】

リップル雑音除去については携帯電話や無線 LAN の市場拡大に応じて数多くの提案がされている。これらは、以下の 5 分類に大別される。

【 0 0 4 6 】

(分類 1) 極点ゼロ点周波数の最適化と利得増大による方法 (例えば、USP 5 6 3 1 5 9 8、USP 6 3 0 4 1 3 1、特開 2 0 0 1 - 1 9 5 1 3 8、特開 2 0 0 0 - 2 8 4 8 4 3、特開平 5 - 2 0 4 4 7 6)

(分類 2) 基準電圧源と誤差増幅器を自分の安定化電圧で動作させる方法 (例えば、USP 5 8 8 9 3 9 3、特開平 4 - 2 6 3 3 0 3、特開平 5 - 3 5 3 4 4)

(分類 3) 極点ゼロ点周波数を負荷状態で適応的に制御する方法 (例えば、USP 6 2 4 6 2 2 1、特開 2 0 0 0 - 4 7 7 3 8)

(分類 4) リプルフィルターで除去する方法 (例えば、特開平 8 - 2 7 2 4 6 1、USP 5 1 3 0 5 7 9、USP 4 3 2 7 3 1 9)

(分類 5) リアクトルトランスでキャンセルする方法 (例えば、USP 5 6 6 8 4 6 4、特開 2 0 0 1 - 3 3 9 9 3 7)。

【 0 0 4 7 】

分類 1 は近年最もたくさん提案されているもので、リップル除去特性が非常に優れているが電流増幅器を追加するので素子数が増加することと基本的には従来理論なので動作電流を激減させることは出来ない問題は残っている。

【 0 0 4 8 】

分類 2 は起動時にもとの電源から自分で安定化した安定化出力に切り替える瞬間に不安定状態が必ず出現して動作開始から出力が安定するまでの時間が長くなる点が問題である。近年の携帯電話などの応用では電力を節約するために電源が間欠的に動作しているので起動に時間がかかるのは致命的である。また誤差増幅器と出力トランジスタの間に正確なレベルシフト回路が必要になるので動作電流がそこでも増加することになり、低消費電流は実現出来ない。

【 0 0 4 9 】

分類 3 は分類 1 と同様、誤差増幅器に設計理論は従来のままなので動作電流は減らせないことと、負荷電流は変化の激しい非常に雑音が多く含まれる性質がありそれをフィードバックするとリップル除去特性を阻害してしまうという問題を内在している。

【 0 0 5 0 】

分類 4 はリップル成分が数 H z から高周波領域までの周波数帯域を含み、特に低い周波数のリップルをフィルタで取り除くためには大きな時定数が不可欠であり、半導体基板上に集積化するのは大きなコスト上昇なしには実現不可能である。

【 0 0 5 1 】

分類 5 は大きなリアクトルトランスは集積化不可能なので応用範囲が限られる。

【 0 0 5 2 】

そこで、本発明では動作電流を従来の 1 0 0 分の 1 以下に減らしても諸特性が劣化しないでかつ、回路も複雑化しない、設計理論も単純で明快な、安定度も優れたリップル除去回路を提供することを技術的課題とするのである。

【 0 0 5 3 】

【課題を解決するための手段】

本発明では、上記の課題を達成するための技術的手段として、基準電圧を発生する基準電圧発生手段と、動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、電源回路の出力を生成する電圧電流出力手段と、出力電圧変動を検出する出力分圧手段と、少なくとも 1 つの容量成分を含んだキャンセル信号発生手段とを有

する雑音除去回路であって、前記基準電圧発生手段には前記誤差増幅手段の第 1 の入力端子が接続され、前記出力分圧手段には前記誤差増幅手段の第 2 の入力端子が接続され、前記キャンセル信号発生手段には前記第 2 の入力端子が接続され、前記キャンセル信号発生手段は、前記容量成分と前記出力分圧回路の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めることを特徴とする雑音除去回路としたものである。

【 0 0 5 4 】

また、基準電圧を発生する基準電圧発生手段と、動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、電源回路の出力を生成する電圧電流出力手段と、出力電圧変動を検出する出力分圧手段とを有する雑音除去回路であって、前記誤差増幅器は、第 1 の型の半導体素子の組で構成される入力部と、第 2 の型の半導体素子の組で構成される負荷部とを有し、前記入力部と前記負荷部との間に、第 1 の型の半導体素子からなる雑音抑圧部が配置され、当該雑音抑圧部のひとつの端子は前記第 1 の電源に接続され、かつ、当該雑音抑圧部の基盤端子は前記第 2 の電源に接続されていることに特徴を有する雑音除去回路としてもよい。

【 0 0 5 5 】

さらに、基準電圧を発生する基準電圧発生手段と、動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、電源回路の出力を生成する電圧電流出力手段と、出力電圧変動を検出する出力分圧手段と、少なくとも 1 つの容量成分を含んだキャンセル信号発生手段とを有する雑音除去回路であって、前記基準電圧発生手段には前記誤差増幅手段の第 1 の入力端子が接続され、前記出力分圧手段には前記誤差増幅手段の第 2 の入力端子が接続され、前記キャンセル信号発生手段には前記第 2 の入力端子が接続され、前記キャンセル信号発生手段は、前記容量成分と前記出力分圧回路の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めるものであり、前記誤差増幅器は、第 1 の型の半導体素子の組で構成される入力部と、第 2 の型の半導体素子の組で構成される負荷部とを有し、前記入力部と前記負荷部との間に、第 1 の型の半導体素子からなる雑音抑圧部が配置さ

れ、当該雑音抑圧部のひとつの端子は前記第 1 の電源に接続され、かつ、当該雑音抑圧部の基盤端子は前記第 2 の電源に接続されていることであることを特徴とする雑音除去回路であってもよい。

【 0 0 5 6 】

さらにまた、前記基準電圧回路および前記誤差増幅器出力電圧の電源電圧依存係数の絶対値は、電源電圧変化 1 ボルトあたり - 6 0 デシベル以下であり、電源電圧依存係数の絶対値の差は - 8 0 デシベル以下であり、かつ前記基準電圧発生回路の電源電圧依存係数の極性と誤差増幅回路の極性が互いに反対の極性である雑音除去回路であってもよい。

【 0 0 5 7 】

さらにまた、前記キャンセル信号発生回路の容量成分の容量は、0. 1 pF 乃至 0. 0 0 1 pF の微少容量である雑音除去回路であってもよい。

【 0 0 5 8 】

さらにまた、前記バイアス電流発生回路が省略されており前記基準電圧発生回路が前記バイアス電流発生回路と兼ねられている雑音除去回路であってもよい。

【 0 0 5 9 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

【 0 0 6 0 】

(第 1 の実施例)

図 1 8 は本発明の第 1 の実施例を示すブロック図であり、図 7 はその具体的な回路構成例である。従来技術で述べた図 2 の回路構成と同様に誤差増幅器 1 0 0 は 2 段構成で、差動回路 1 0 が 1 段目、位相反転増幅器 2 0 が 2 段目であり、出力回路 3 0、誤差検出分圧回路 4 0、基準電圧回路 5 0、バイアス電流発生回路 6 0 で構成されている。従来技術と異なる点は、キャンセル信号発生回路 8 0 が入力端子 N 2 に接続して、付加されている点である。キャンセル信号発生回路 8 0 は電源ラインに発生した信号から微小に分圧されしかも位相を進めた信号を発生して差動回路の入力に加えて高い周波数領域のリプル雑音を打ち消す動作をする。なお、図 8 は、図 7 の実施例の変形例であり、誤差増幅器 1 0 0 を一段構成

にした場合の回路構成例である。

【 0 0 6 1 】

以下にキャンセル信号発生回路の作用を説明する。

【 0 0 6 2 】

(キャンセル信号発生動作の作用)

キャンセル信号発生回路の動作は非常に奇抜であるが単純である。Voutのリプル雑音は例えば-100dBのレベルであれば $10\mu\text{V}/1\text{V}$ に相当する。これをキャンセルするにはこのような微小な電圧と位相を正確に発生する必要がある。電源ラインのリプル雑音が1Vとすると $1/10000$ に正確に分割する必要がある。しかも位相が大きくずれてはいけないし他の回路の動作点をずらしてはいけない。純抵抗ならば単純で実現は簡単に見えるが、半導体チップ上でこのような微小な分圧比を寄生容量もなしに実現するには非常に困難でありこれまで実現されていなかった。

【 0 0 6 3 】

図13に本発明のキャンセル信号発生回路の具体例を示す。図13(a)ではキャンセル信号発生回路が抵抗 R_3 , R_4 , 容量成分 C_4 で構成され(点線で囲まれた部分)、抵抗成分で分圧してから更に容量成分で位相補正を行う回路である。これは出力分圧回路40の R_1 , R_2 が所望の出力電圧に応じて変化するので最適なキャンセルコンデンサも変化する点を改良している。図13(b)は、抵抗 R_4 に代え、トランジスタ P_5 を用いた回路構成である。図13(c)は、 C_4 だけで構成した例である。 C_4 はFETのゲート容量で構成することも出来る。 C_g は誤差増幅器の入力トランジスタ N_2 のゲート容量、 R_1 , R_2 は出力分圧回路40の抵抗でキャンセル動作に参加している。 R_3 と R_4 の並列抵抗値が R_1 と R_2 の並列抵抗値よりも十分低いと仮定するとキャンセル信号発生回路の出力 V_c は、 C を C_4 の容量値、 R を R_1 と R_2 並列抵抗値、とすると次の式で表される。

【 0 0 6 4 】

$$Z = R / (j \omega C_g R + 1) \quad (9)$$

$$V_c = \Delta V_{dd} (R_3 / R_3 + R_4) (j \omega C Z / j \omega C Z + 1) \quad (10)$$

$R = 1 \text{ M}\Omega$ 、 $C = 0.1 \text{ pF}$ 、 $\Delta V_{DD} = 1 \text{ V}$ 、 $\omega = 2\pi \cdot 10 \text{ KHz}$ のとき、
 $V_C = (1/15000) \text{ ボルト}$ 、位相進みは約 80° である。

【0065】

式(9)は C_g に依存して数 10 KHz 以下の周波数では R で決まるインピーダンスに近似できる。さらに高い周波数では式(9)はゼロに近づくのでキャンセル信号は小さくなって作用がなくなる。

【0066】

位相進みはコンデンサ C_4 の値に依存して変化するが 10 KHz 付近ではまだ 90° 進んだ状態である。第3の極点による位相遅れを打ち消すように C_4 を設定すれば位相遅れをキャンセルできる。振幅は R_3 と R_4 の比および C と R のインピーダンス比であわせることが出来る。これを誤差増幅器の入力に入れば、キャンセル動作が実現できる。

【0067】

本発明のキャンセル信号発生回路は、コンデンサと出力分圧回路40の抵抗で雑音信号に対する分圧回路を構成するところに特徴があり目的に最適でかつ非常に微小な分圧比と位相進みを最小のコストと構成で実現している。しかもその効果は絶大である。

【0068】

式(10)において R_3 を無限大にすると $(R_3 / (R_3 + R_4))$ は1に限りなく近づいて C_4 を直接接続した状態になる。図13(c)に示す構成がその状態を示している。そのとき C_4 はごく微小な容量 $f\text{F}$ (フェムトファラッド) のオーダーになるが、半導体基板上であればそのような微小容量でも問題なく製造可能である。

【0069】

(第2の実施例)

次に、図18のブロック図及び図15の回路図を参照して、本発明の第2の実施例について説明する。図7と同じ構成要素は同じ記号で示している。本実施例では、トランジスタ P_1 、 P_2 、 P_3 が増幅器100の負荷部を構成し、トランジスタ N_5 のゲートが増幅器100の入力部を構成しており、負荷部と入力部の

間に、雑音抑圧部として、N 5、N 6、N 7からなるキャンセルトランジスタアレイ 7 0 が付加されている点に特徴がある。キャンセルトランジスタアレイ 7 0 のゲートは電源 1 に接続されていて電源ラインのリプル雑音信号が直接に加えられている。N 5、N 6 のカスコードトランジスタについては U S P 4 5 3 3 8 7 7 にて述べられていて P S R R 特性の改善効果が示されている。また U S P 5 1 1 3 1 4 8 においても例示されている。従来のカスコードトランジスタはすべてそのゲート端子は電流値を合わせるために特別に作られた基準電圧に接続されていた。そうしないと同一経路にある他の定電流源とミスマッチが起きて動作が不安定になるからである。本実施例では、カスコードトランジスタは電源に直接接続して動作電流を他の定電流源と無関係にして、わざとリプル雑音信号をゲートに加えるとともに、ソース端子との相互作用を利用している。

【 0 0 7 0 】

N 7 についてカスコード接続されたキャンセルトランジスタの動作を説明する。電源電圧 Vdd が動作中のある電位から上昇すると N 7 のゲートの電位も同じだけ上昇する。一方 N 7 のドレインは Vdd とほぼ同じ振幅だけ振れて電流を増加させようとするがソース電位はバックゲートがかかっているので、N 7 の電流の増加が押さえられる。その結果 p d 電位が下がるのが抑制されて P 4 の出力電圧 Vout が上昇するのが抑制される。N 7 の電流は以下の式で表せる。

【 0 0 7 1 】

$$I_d = 0.5 * \mu_n * C_{ox} * (W/L) * (V_{gs} - V_{tn})^2 * \{1 + \lambda (V_{ds} - V_{eff})\} \quad (11)$$

$$V_{tn} = V_{t0} + \gamma (\sqrt{V_{sb} + 2 \Phi_F} - \sqrt{\Phi_F}) \quad (12)$$

Vgs はゲートソース間電圧、Vtn はバックゲートのかかった閾値、Vds はドレインソース間電圧、Veff = Vgs - Vtn、λ はラムダ係数、Vt0 はバックゲートがないときの閾値、Vsb はソース基盤間電圧、ΦF はフェルミ準位、γ はバックゲート効果の係数である。λ と γ は製造工程によって定まる係数である。

【 0 0 7 2 】

式(12)は N 7 のソース電位 Vsb が上昇すると Vtn が上昇することを示している。式(11)において Vgs が Vdd とともに上昇しても同時に Vtn も上昇するので電流 Id は Vgs の上昇に正比例はしないことを示している。

【0073】

(第3の実施例)

図20に記載されたブロック図は、本発明の第3の実施例であり、図16に記載された回路は、その具体的回路構成図である。図7と同じ構成要素は同じ記号で示している。本実施例では、キャンセル信号発生回路80と共にキャンセルトランジスタ70を有する点に特徴がある。

【0074】

なお、上記の実施例の変形例として、バイアス電流発生回路60を省略し、基準電圧発生回路50がバイアス電流発生回路を兼用することも可能である。図17にかかる変形例の回路構成を示す。

【0075】

(システムオフセットの傾斜)

図9は、図15に示した本発明の実施例における、電源電圧 V_{dd} が変化したとき回路各部の依存性特性をシミュレーションしたグラフである。94、91はキャンセルトランジスタがない場合のP3のドレイン電流と V_{out} であり、95、92がキャンセルトランジスタN7があるときの電流と V_{out} である。図9(c)で、94と95を比較するとキャンセルトランジスタによって95の電流増加が94に比べて抑制されていることがわかる。図9(a)は、91、92は V_{out} 近傍を拡大したグラフで、キャンセルトランジスタの働きで電流増加が抑えられて、 V_{out} がマイナス傾斜92になっていることがわかる。91、92、93の傾斜の範囲は、電源電圧変化が1Vあたり1mV(−60dB)以下であり、電源電圧依存係数の絶対値の差が−80dB以下であることが望ましい。基準電圧源の正係数の傾斜(極性)とここで得られる誤差増幅器の負係数の傾斜(極性)を合わせれば、両者は打ち消し合い、低周波領域での電源電圧変動から起因するリップル雑音を限りなくゼロにできる。図9で V_{ref} を示す93の傾斜は前述の式(2)において ΔV_{ref} に相当する。91、92はともに V_{out} を示していて、91は式(2)における ΔS_o が正係数を持つ場合の V_{out} の傾斜を示し、92は ΔS_o が大きな負係数を持つ場合にその影響で V_{out} が負の傾斜となる場合を示している。また、逆の場合(基準電圧源が負極性、誤差増幅器が正極性)も同様の効果が得られる。9

2のマイナス傾斜はN7の動作電流と式(11)における製造パラメータに依存して出てくるので任意に設定は出来ないが、その性質は常に利用できるものでN7によって必ず傾斜を寝かせることが可能である。

【0076】

図11は基準電圧源の回路構成例を示す。電圧係数は $\delta V_{ref} / \delta v$ は図9のグラフの93より $2 \mu V / 1 V$ である。この回路例はUSP4417263から引用している。ND1, ND2はデプレッション型NチャンネルFETで一定の電流を供給する定電流源を構成している。NE1はエンハンスメント型NチャンネルFETでダイオード接続されているので一定電流を流すと両端には一定の電圧が出てきて定電圧源として作用する。

【0077】

図10は図16の回路のPSRR特性をシミュレーションしたグラフである。103は本発明のキャンセルトランジスタを付加したときのPSRR特性であり、101はキャンセルトランジスタN7, N6, N5のソースドレインを短絡したときのPSRR特性を示す。103が101に比べて約60dBも改善されていることがわかる。このとき回路全体の動作電流はわずか数 μA である。図中102はキャンセル信号発生回路を働かせないときのPSRR特性で、キャンセル動作をはずすと高い周波数まで特性が改善する効果がなくなることを示している。

【0078】

(従来の位相補償との違い)

本発明のリプル雑音除去回路は、いわゆる従来における増幅器の位相補償とはまったく別の範疇に属する。従来の位相補償は特別な場合を除き互いに位相が逆相の2点をコンデンサ等で接続して負帰還をかけて周波数特性を変化させるのが基本である。例えば図16のP4のゲートとドレイン間にコンデンサなどを接続して高周波領域で利得を下げて位相回りを押さえて安定度を改善する場合がある。本発明のキャンセル信号発生回路は誤差増幅器の入力から見た周波数特性にはほとんど影響が現れない。しかしVddから見たときのリプル雑音除去特性のみに作用する。作用の内容は接続する回路上の位置によって若干異なる。

【 0 0 7 9 】

図 1 6 の回路図に示したように、キャンセル信号発生回路を Vdd に接続した場合は、誤差増幅器の入力とは何の関係もないので従来の位相補償とはいかなる相似もない。次に A 点もしくは B 点に接続した場合、A 点、B 点の誤差増幅器入力から見た利得は 1 以下なのでほとんど作用しないが、電源ライン Vdd に乗ったりプル雑音信号は大半がこれらの点に伝達されるので C 4 を通じてキャンセル作用を働かせる事が可能である。C 点や P D 点は誤差増幅器入力から見るとある程度の利得を有しているので帰還の影響が少し出てくる。図 1 4 は C 4 を P D 点に接続して時の利得位相特性を示すグラフである。1 4 1 と 1 4 4, 1 4 2 と 1 4 5, 1 4 3 と 1 4 6 は $C 4 = 0 \text{ p F}$ 、 0.1 p F 、 1 p F の場合の利得特性と位相特性をそれぞれ示す。前述のようにキャンセル信号発生に抵抗分割 R 3, R 4 を使わないときは C 4 のみで可能であり、 $0.1 \text{ p F} \sim 0.001 \text{ p F}$ 程度の微小な容量で好適に実現できることが実験的に分かっている。図 1 4 で見られるように微小容量であれば特性の変化は安定度に関して無視できる量である。

【 0 0 8 0 】

このように本発明のキャンセル信号発生回路は誤差増幅器入力からは見るとまったく作用しないか、または無視できる作用量であり、従来の位相補償とは本質的に動作が異なる。その一方で、電源ライン Vdd のリプル雑音に対しては非常に感度良くキャンセル作用が働く性質を有している。

【 0 0 8 1 】

(キャンセル動作の実例)

図 1 2 に、図 1 6 の実施例において、動作電流を前の例よりもさらに減らして $1 \mu \text{ A}$ 程度としたの P S R R 特性を、キャンセルコンデンサ C 4 を 0 p F から 1.0 p F に変化させて示す。1 2 1 と 1 2 5 は 0 p F 、1 2 2 と 1 2 6 は 0.1 p F 、1 2 3 と 1 2 7 は 0.5 p F 、1 2 4 と 1 2 8 は 1.0 p F の特性を示す。1 2 5 はキャンセル信号がないので数 100 H z から位相が遅れ初めて 1 K h z 付近から P S R R 特性が悪化し始めていることを示している。1 2 6 は位相の遅れが少し高い周波数に移動して補正がかかり始めていることを示している。1 2 7 はほぼ完璧に位相キャンセルがかかっている状態で位相が急激に変化してい

る、128は過剰にキャンセルが働いて逆に位相が進み過ぎてPSRR特性が劣化していることを示している。

【0082】

このようなキャンセル方法はこれまでになかった方法であり、その効果は一目瞭然でかつ非常に効果的である。

【0083】

図16の回路図では、キャンセル信号発生回路は電源Vddに接続されているが、リップル雑音信号が存在する他の場所に接続しても同じ効果が得られる。

【0084】

なお、本発明の実施例においては、半導体素子の例としてFETで示しているが、ほかのタイプの半導体素子、例えばバイポーラトランジスタ、SiGeトランジスタ、薄膜トランジスタ、GaAsトランジスタでも同等の効果が期待できるので、実施はFETに限定されるものではない。

【0085】

【発明の効果】

以上説明したように、本発明は従来には存在しなかった回路構成を提案して、少ない部品で非常に低い動作電流においてもリップル雑音をキャンセルする効率的なリップル雑音除去能力を実現している。

【0086】

すなわち、誤差増幅器は入力部と負荷部の間にゲートを電源に接続したキャンセルトランジスタを配置することにより低周波領域のリップルをキャンセルし、他方、誤差増幅回路のひとつの入力にキャンセル信号発生回路を接続することにより、高周波領域の出力リップル雑音をキャンセルするものである。

【図面の簡単な説明】

【図1】

従来の安定化電源回路の一例を示すブロック図である。

【図2】

従来の安定化電源回路の一例を示す回路図である。

【図3】

従来の安定化電源回路の出力電圧対電源電圧特性の一例を示す図面である。

【図 4】

図 3 のスケールを 1 0 0 0 倍に拡大した図面である。

【図 5】

従来の安定化電源回路の出力電圧対電源電圧特性を示す図面である。

【図 6】

従来の安定化電源回路の P S R R 特性を示す図面である。

【図 7】

本発明の第 1 の実施例である回路図を示す図面である。

【図 8】

本発明の第 1 の実施例の変形例である回路図を示す図面である。

【図 9】

図 1 6 の回路各部の電圧の電源電圧依存性を示す図面である。

【図 1 0】

本発明の P S R R 特性に関するキャンセル動作を示す図面である。

【図 1 1】

基準電圧発生回路の例を示す図面である。

【図 1 2】

キャンセル信号発生回路の動作を示す図面である。

【図 1 3】

キャンセル信号発生回路の例を示す図面である。

【図 1 4】

キャンセル信号発生回路の作用を示すグラフを示す図面である。

【図 1 5】

本発明の第 2 の実施例である回路図を示す図面である。

【図 1 6】

本発明の第 3 の実施例である回路図を示す図面である。

【図 1 7】

本発明の第 3 の実施例である回路図の変形例を示す図面である。

【図 1 8】

本発明の第 1 の実施例のブロック図を示す図面である。

【図 1 9】

本発明の第 2 の実施例のブロック図を示す図面である。

【図 2 0】

本発明の第 3 の実施例のブロック図を示す図面である。

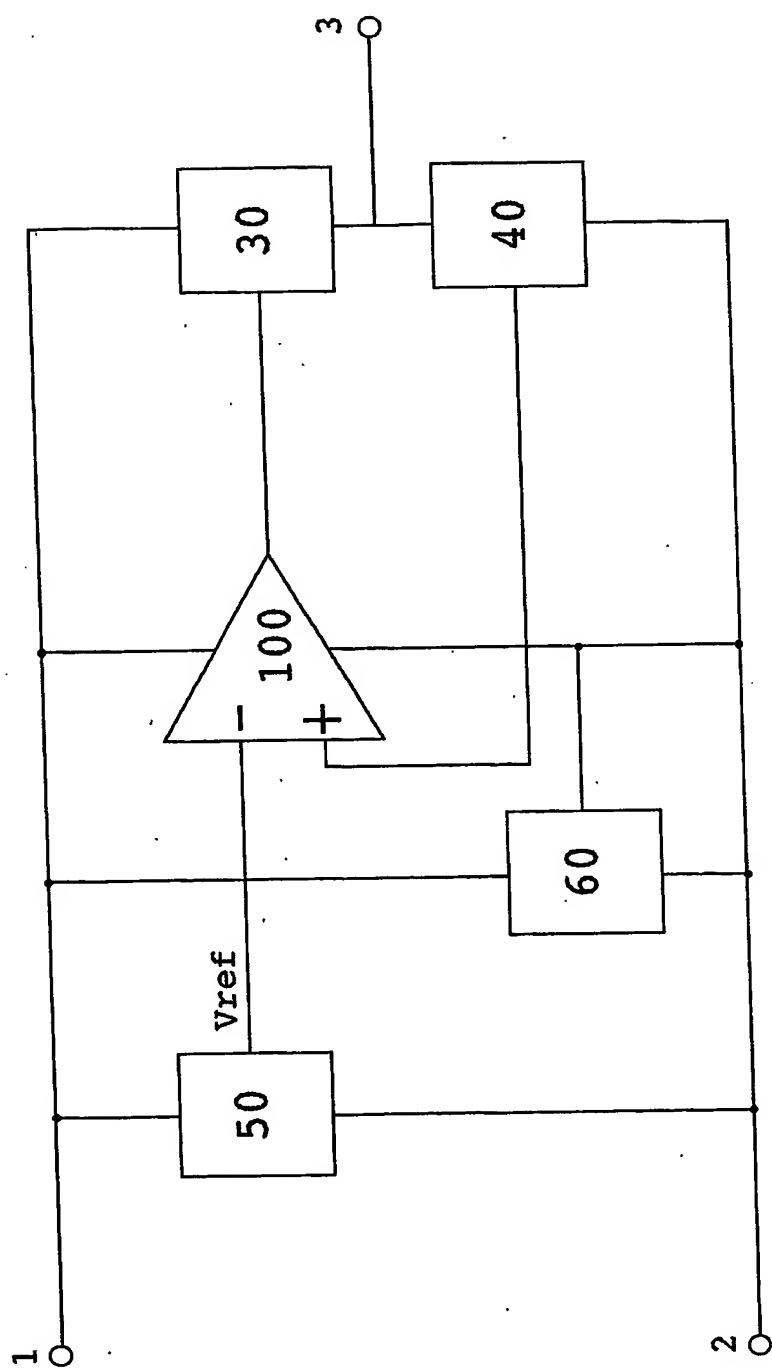
【符号の説明】

- 1, 2 電圧供給端子
- 3 出力端子
- 1 0 差動回路
- 2 0 位相反転増幅器
- 3 0 出力回路
- 4 0 出力分圧回路
- 5 0 基準電圧発生回路
- 6 0 バイアス電流発生回路
- 7 0 キャンセルトランジスタアレイ
- 8 0 キャンセル信号発生回路
- 1 0 0 誤差増幅器

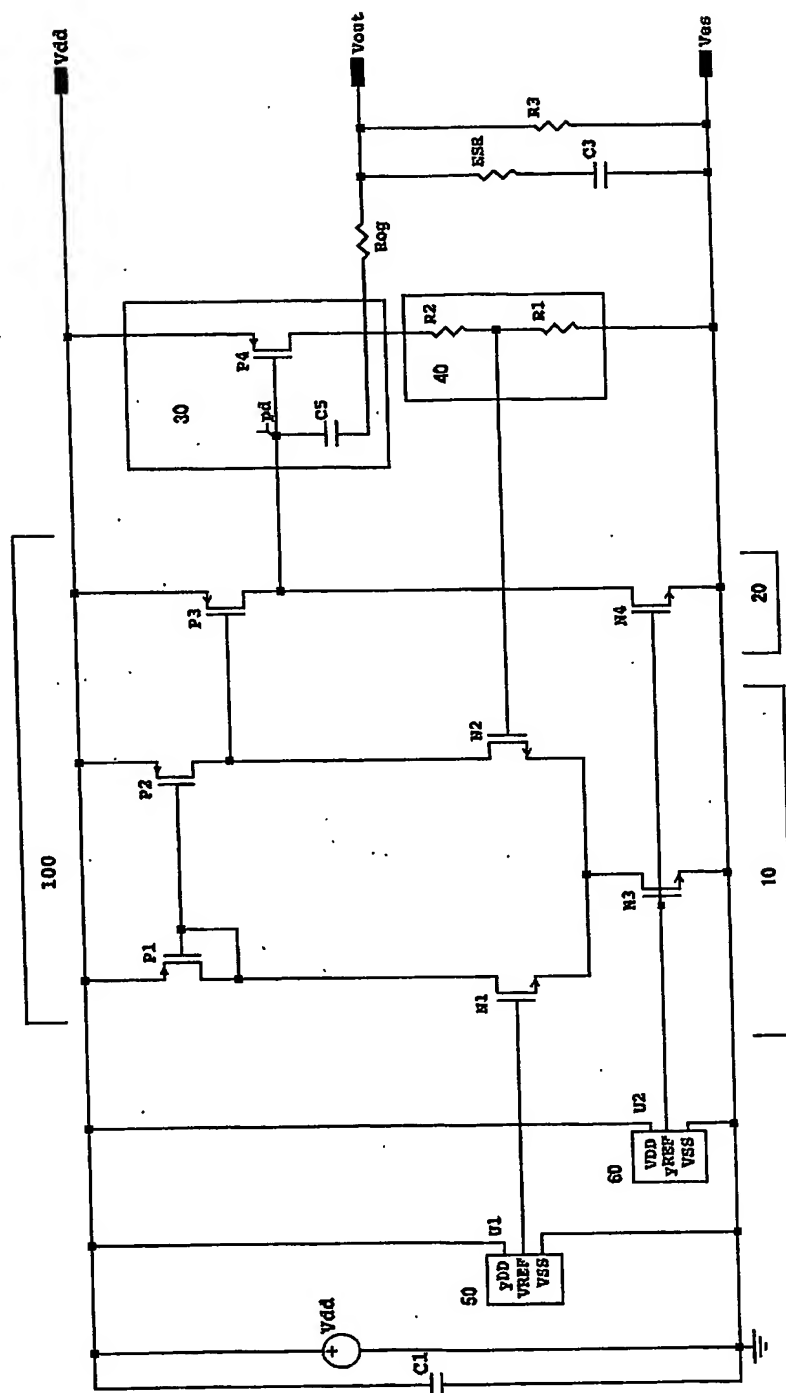
【書類名】

図面

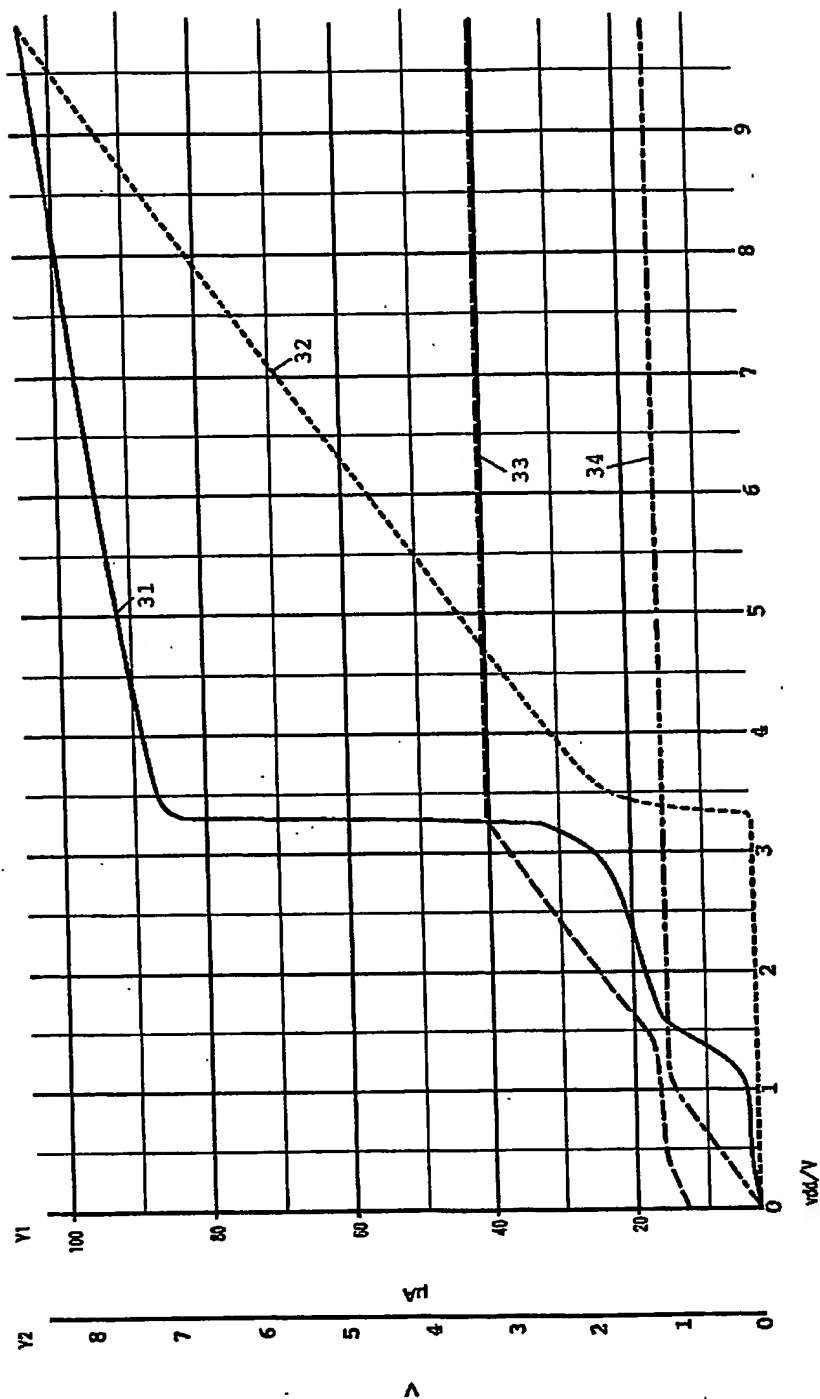
【図 1】



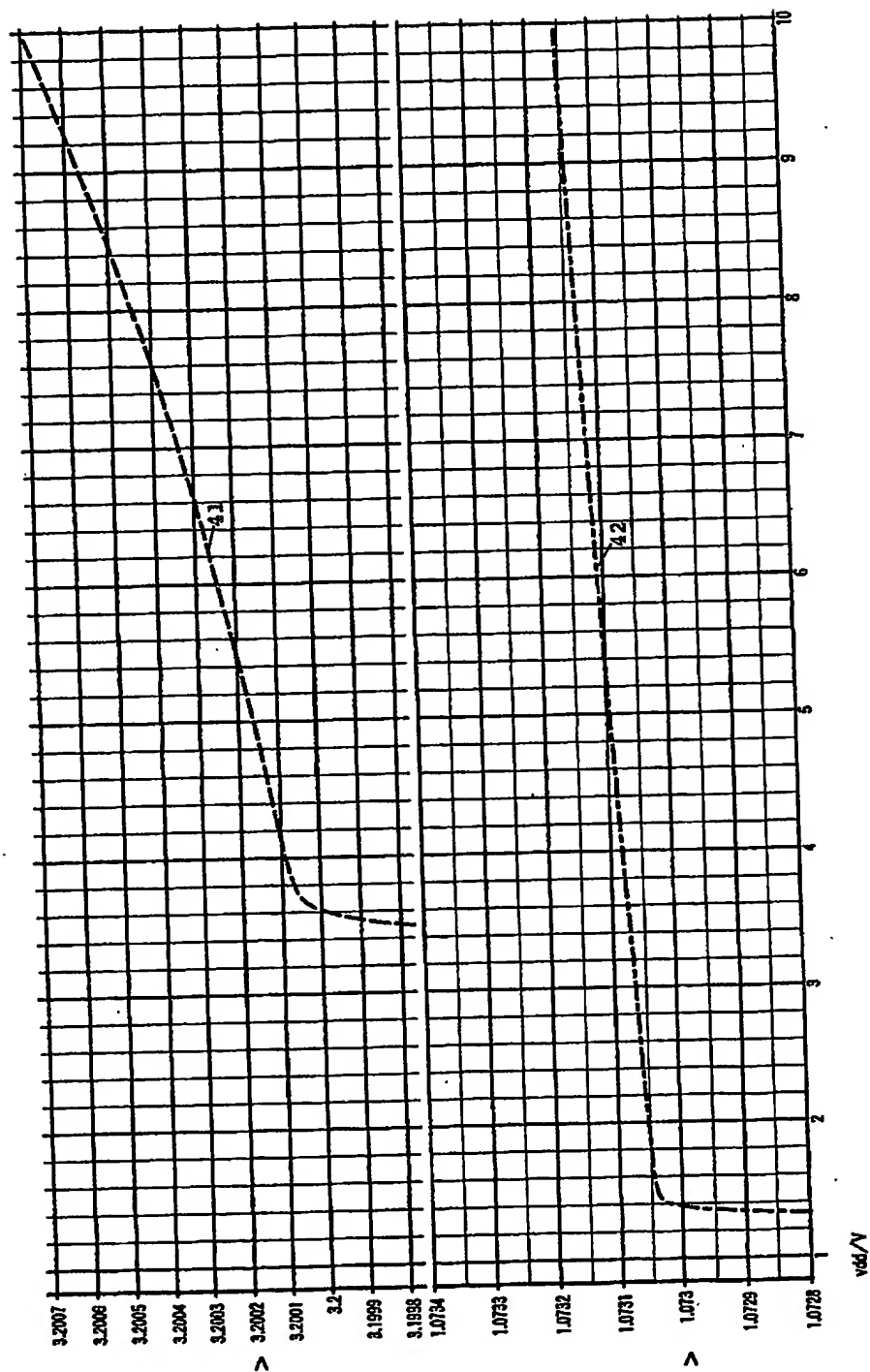
【图2】



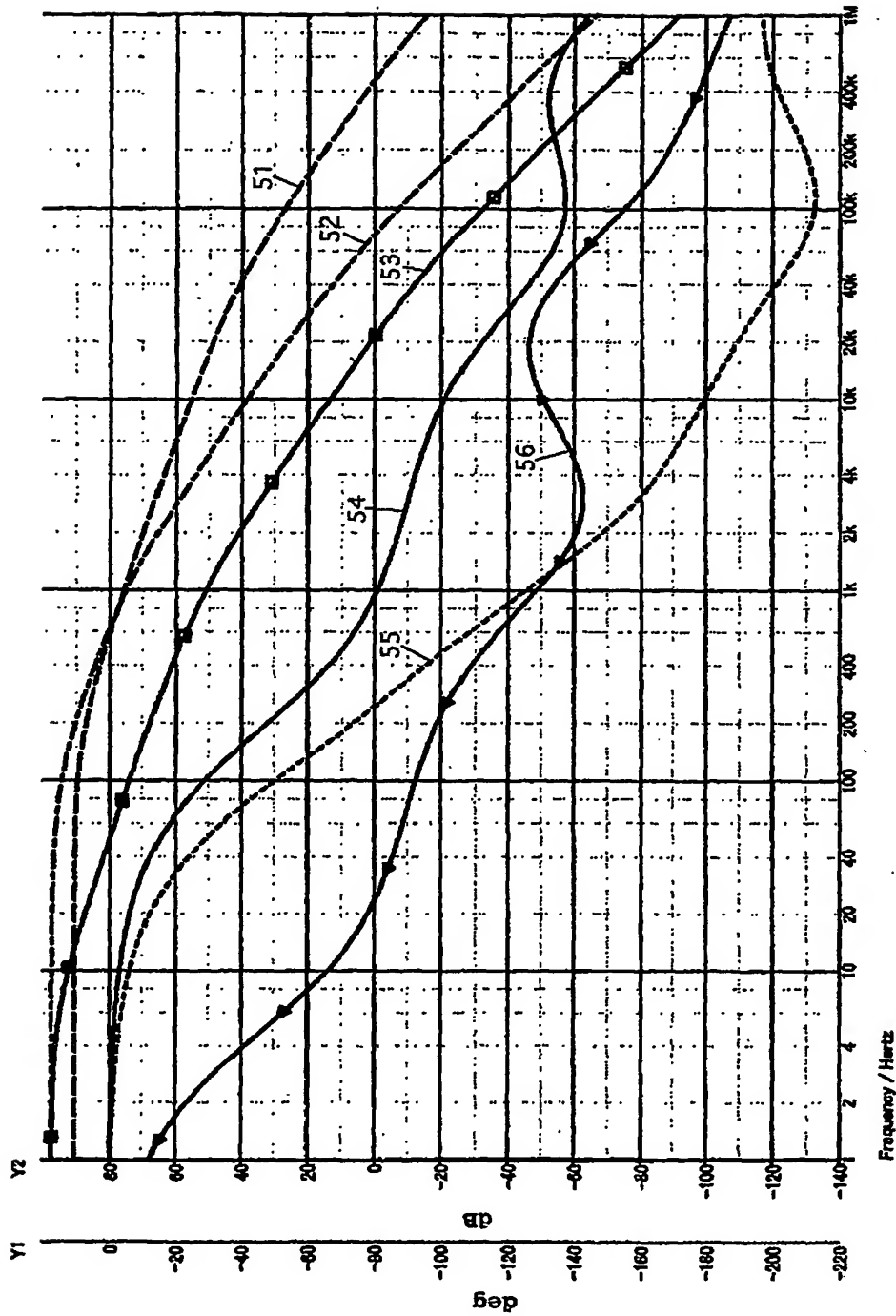
【図 3】



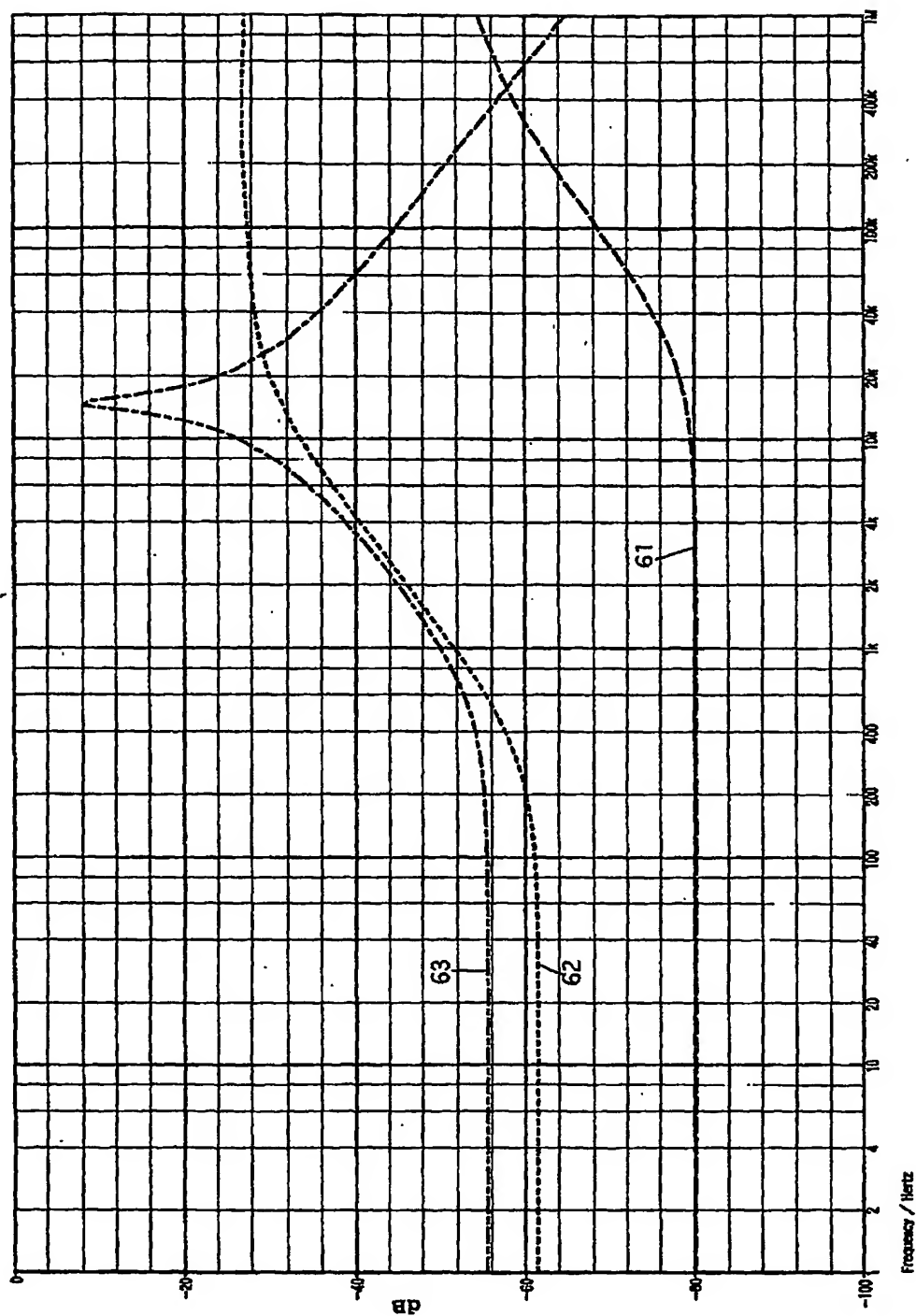
【図 4】



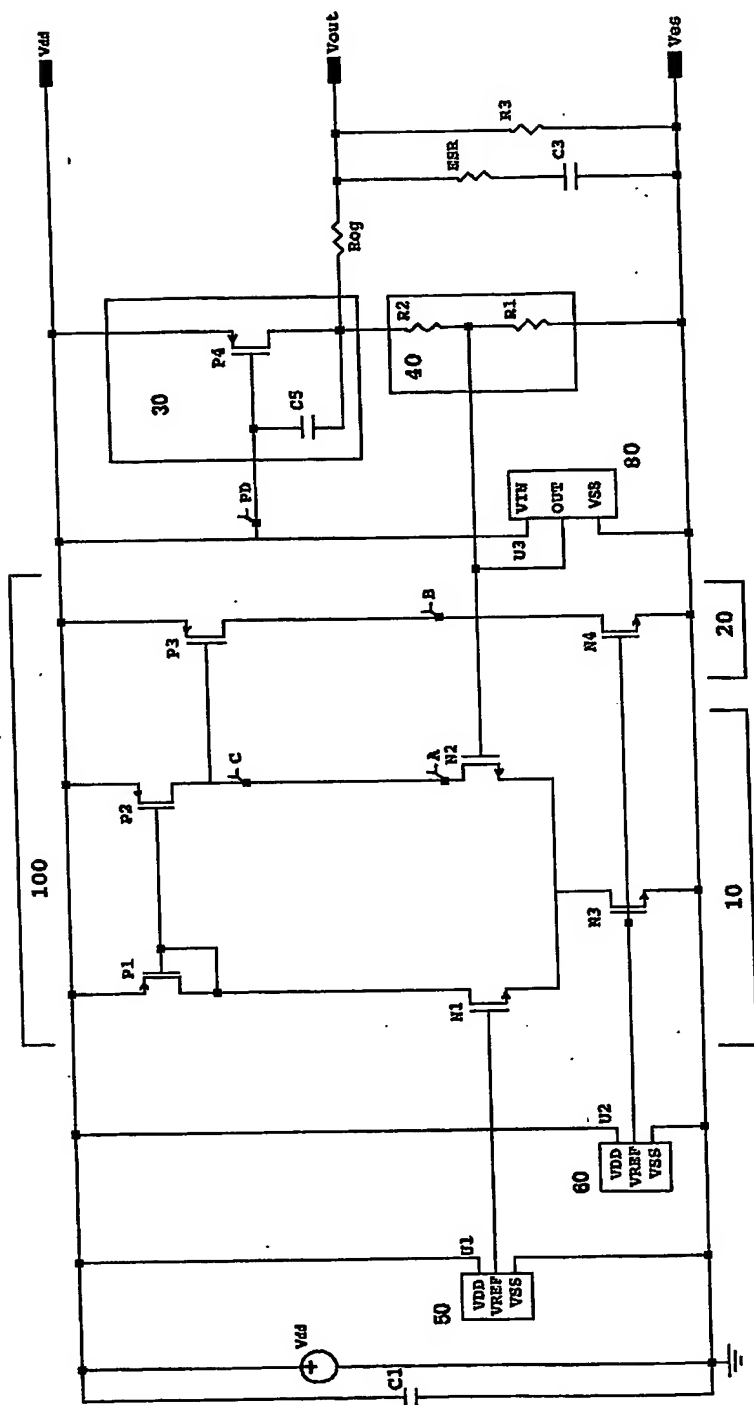
【図5】



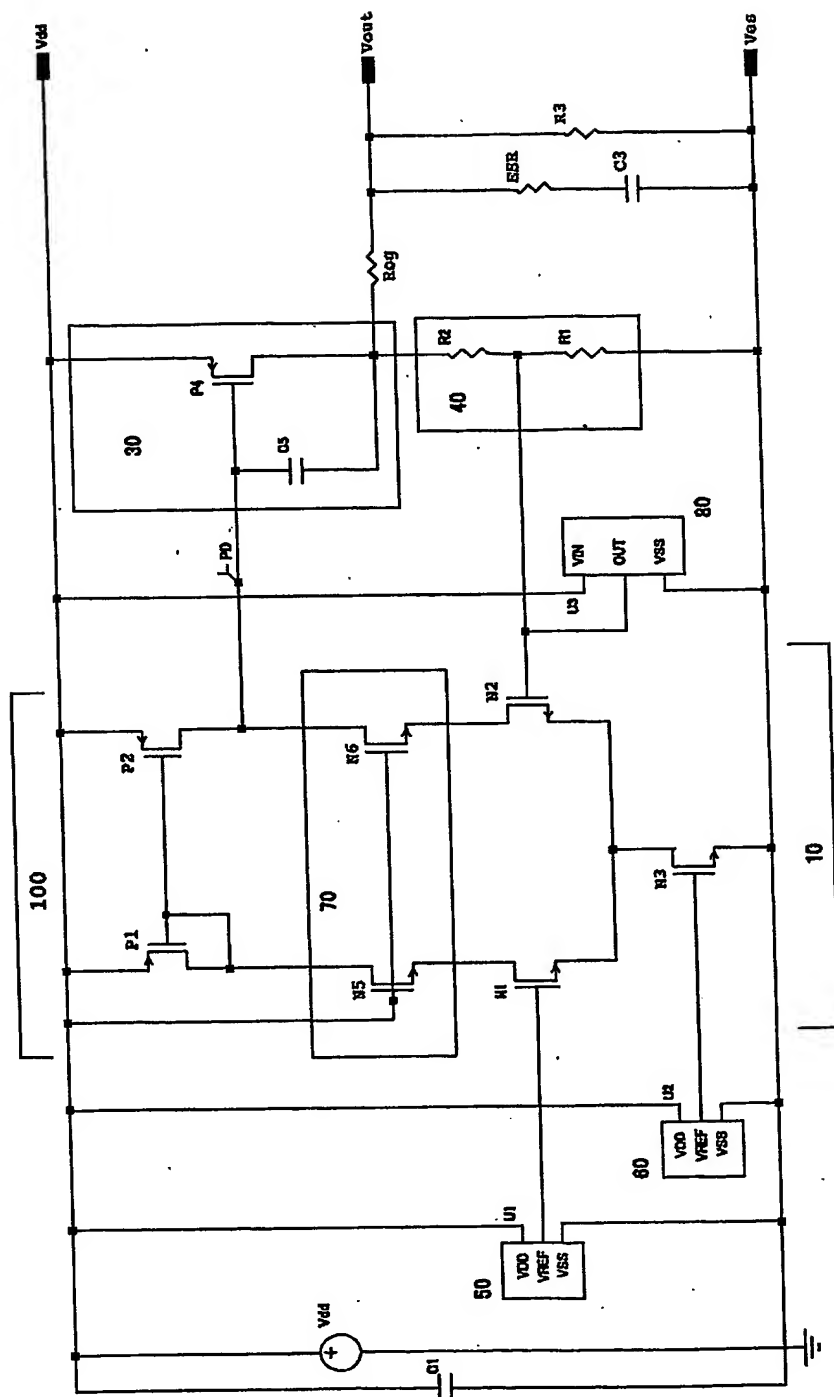
【図6】



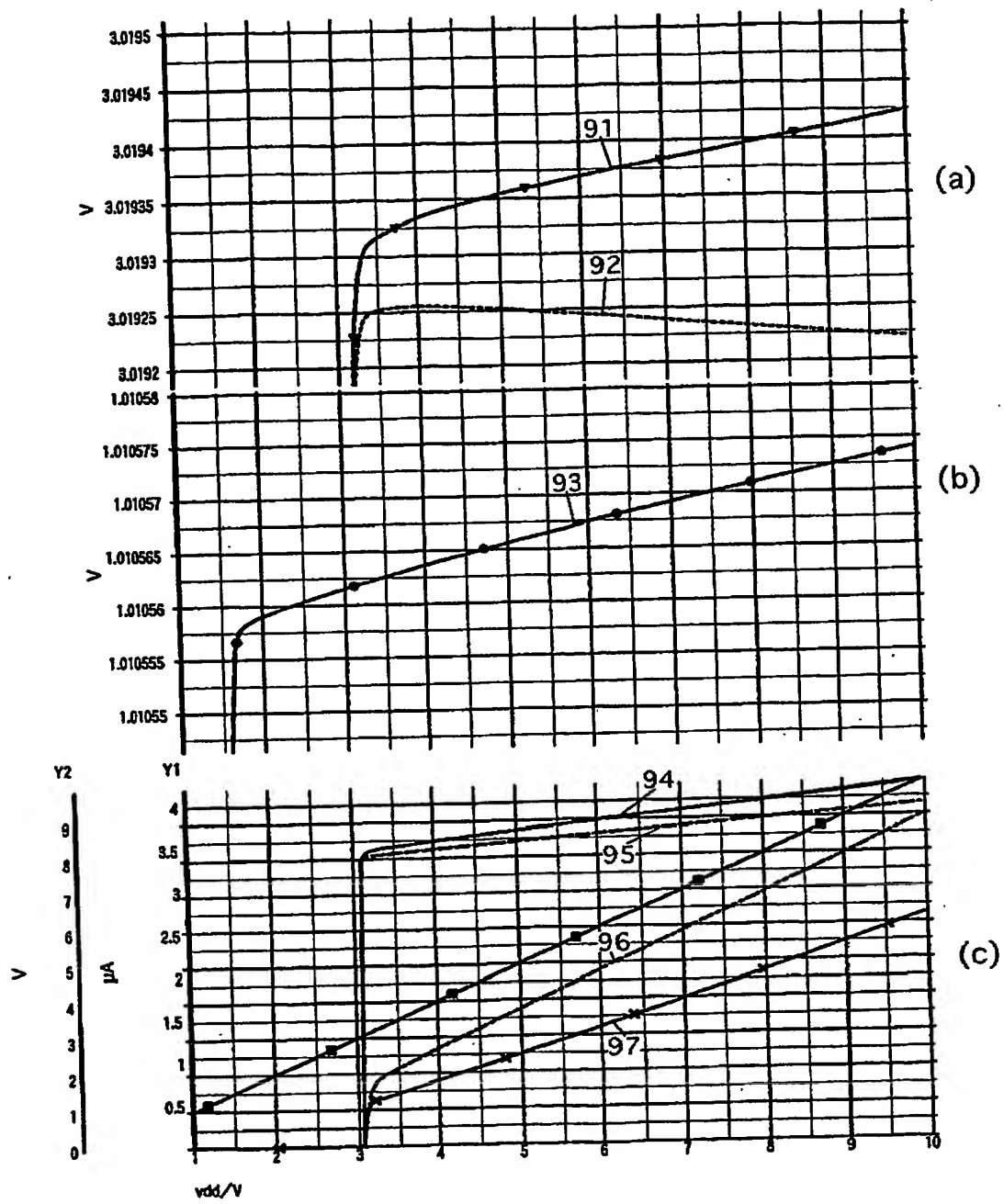
【図 7】



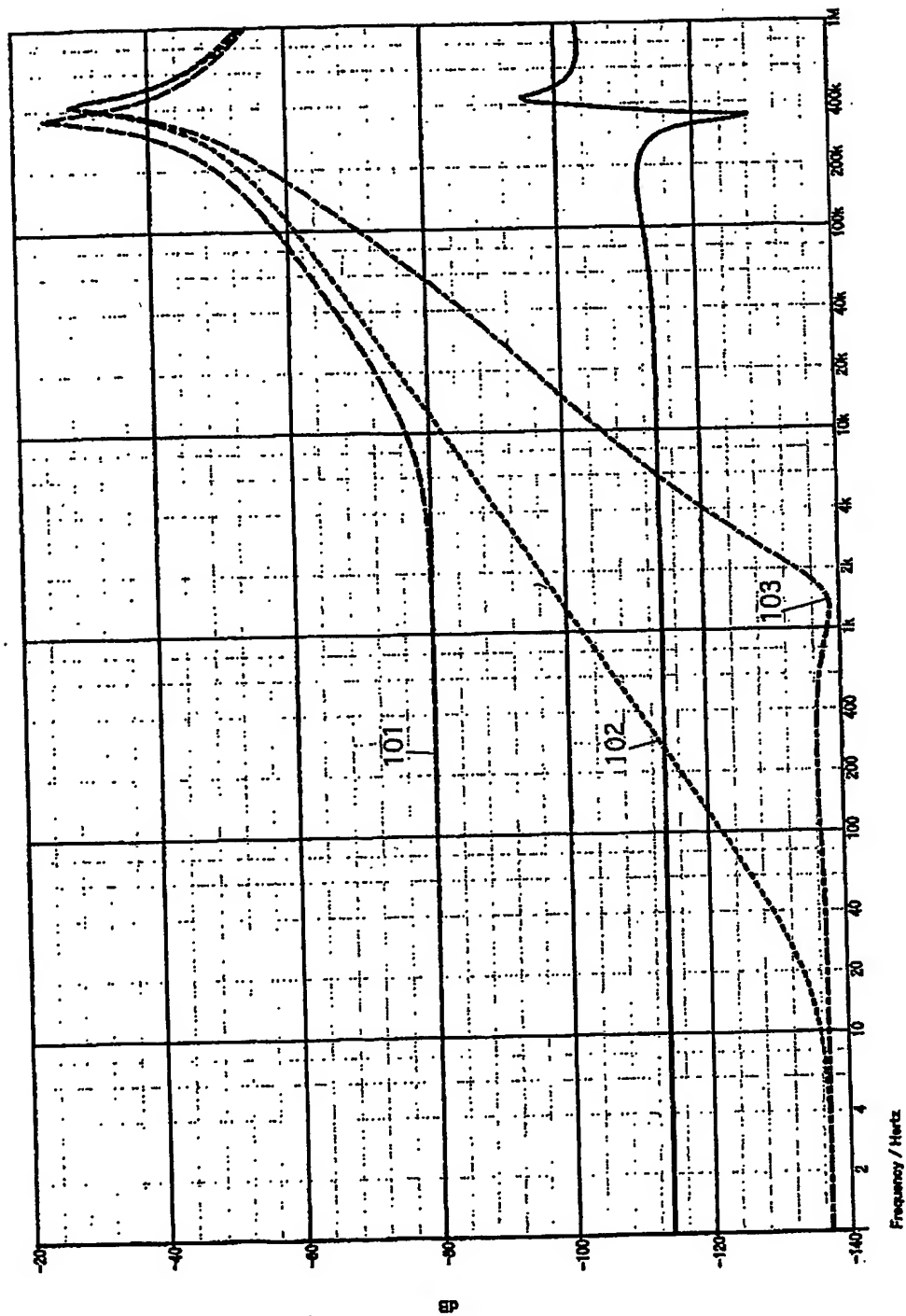
【図 8】



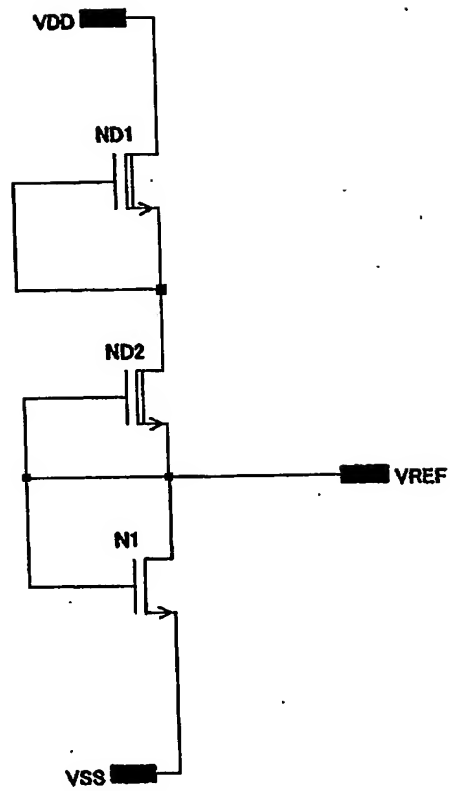
【図 9】



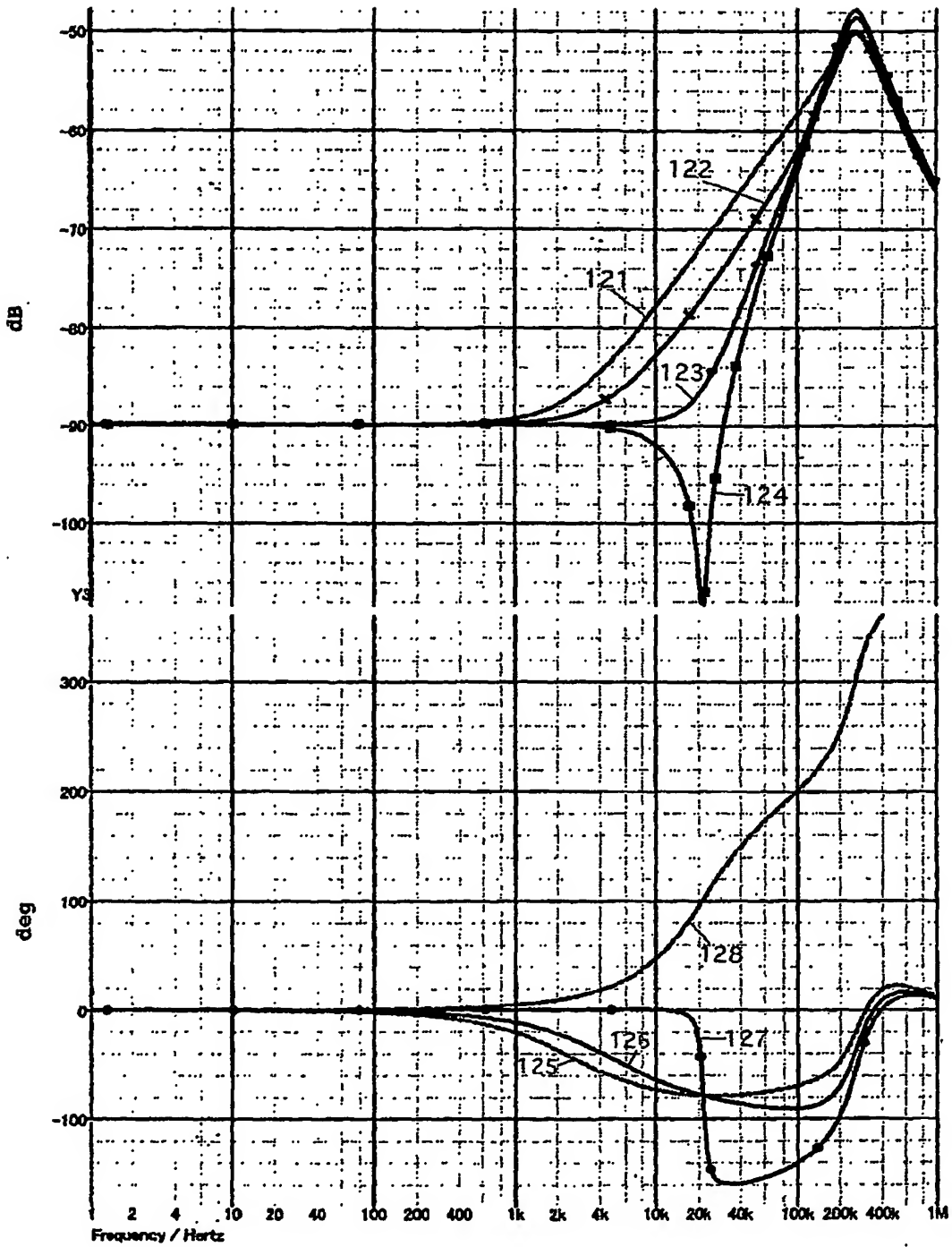
【図 10】



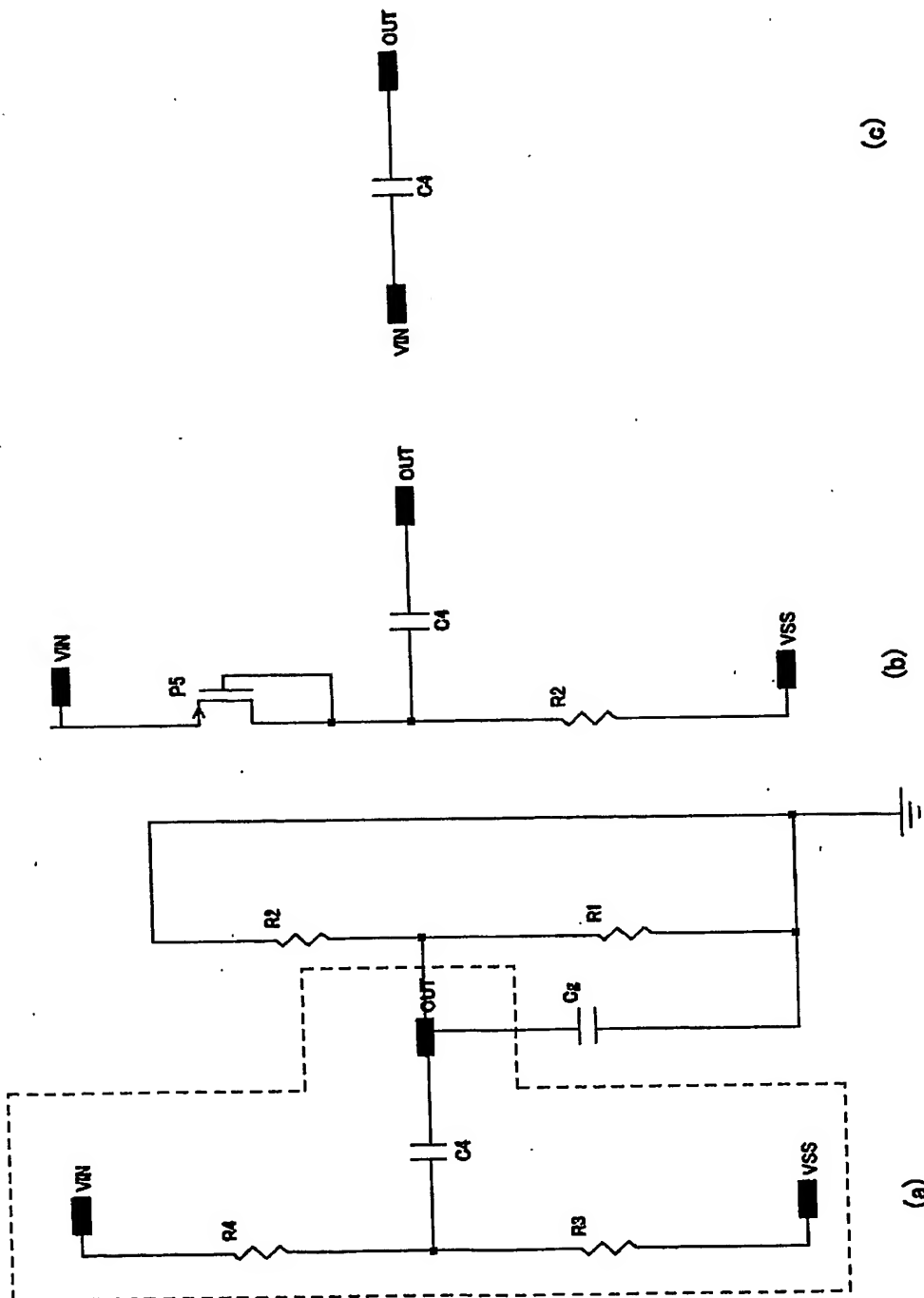
【図 1 1】



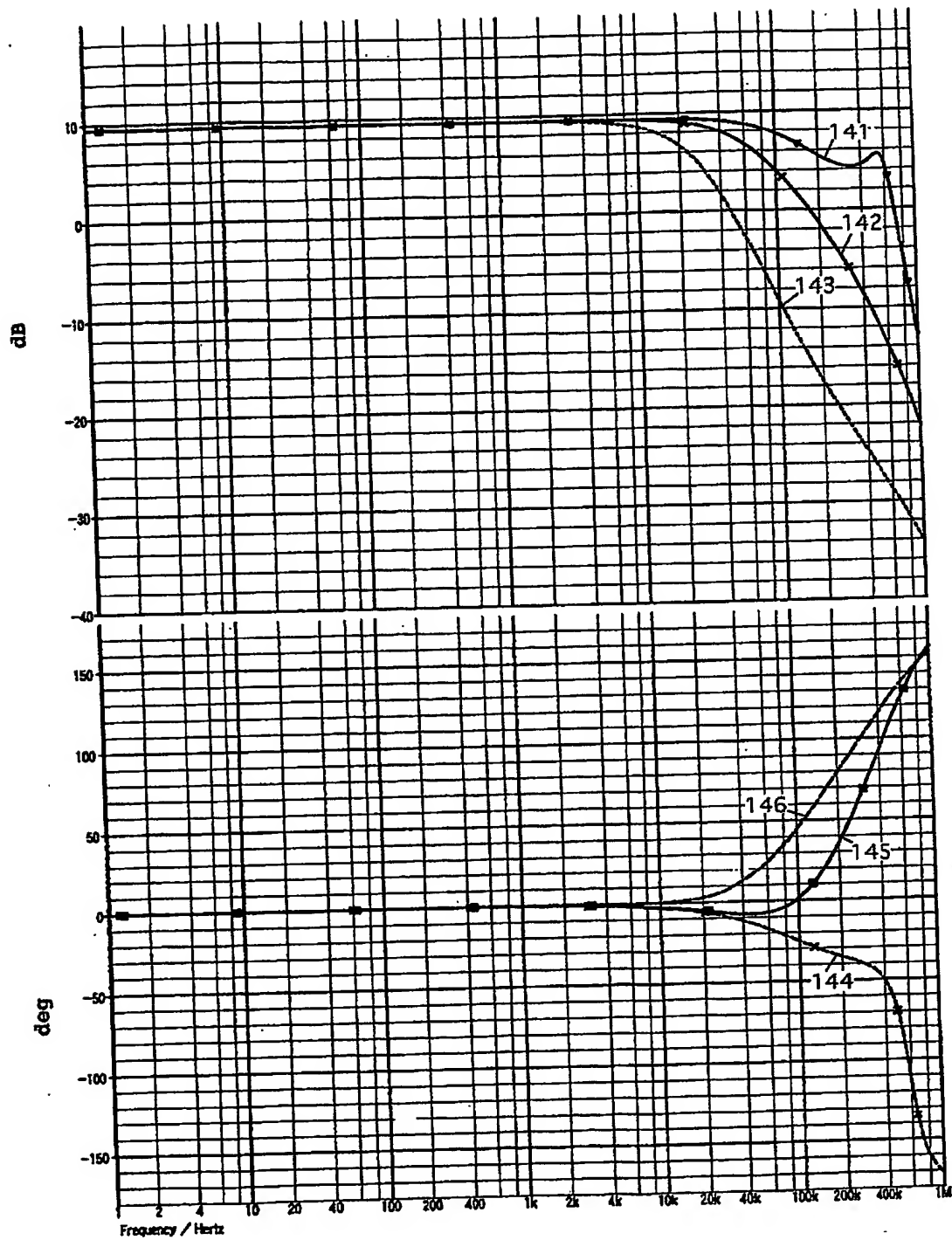
【図 12】



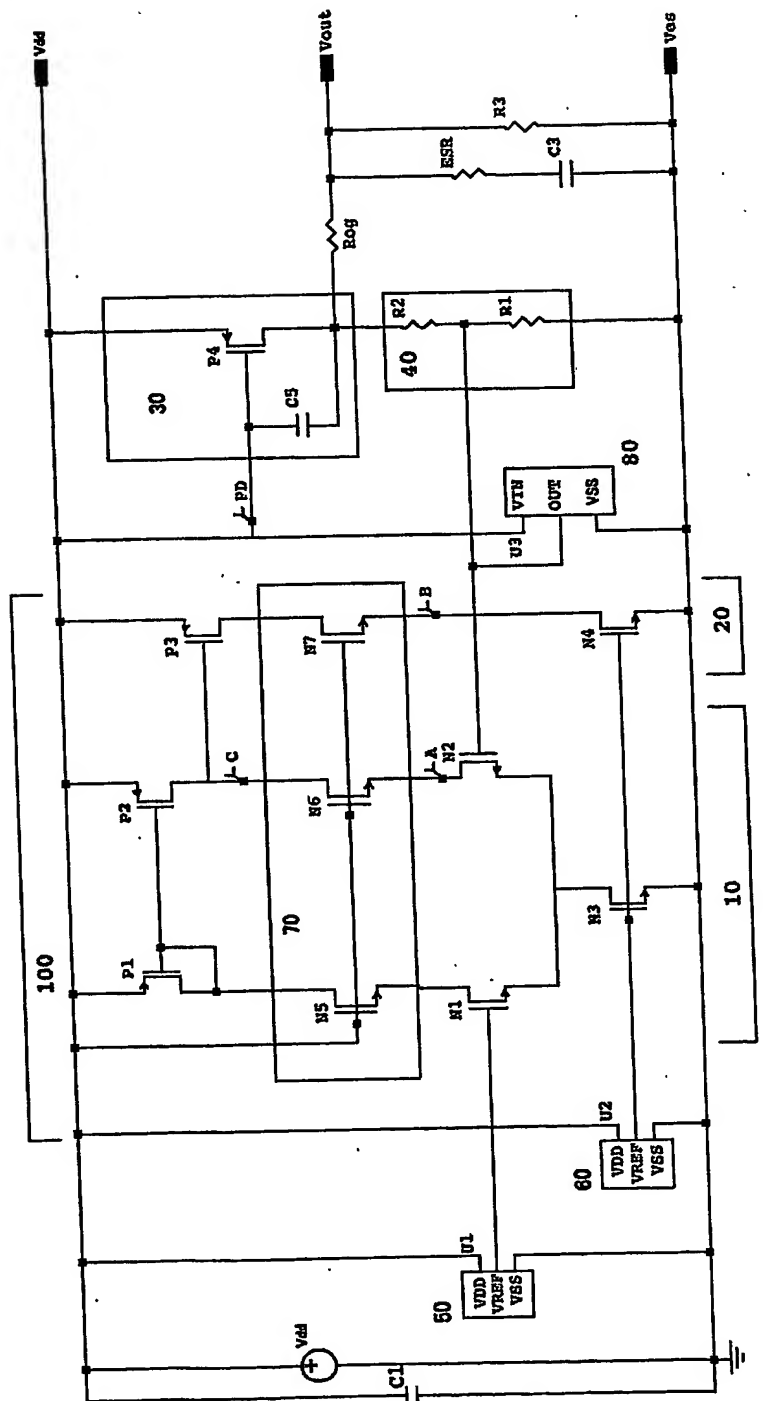
【図 13】



【図14】

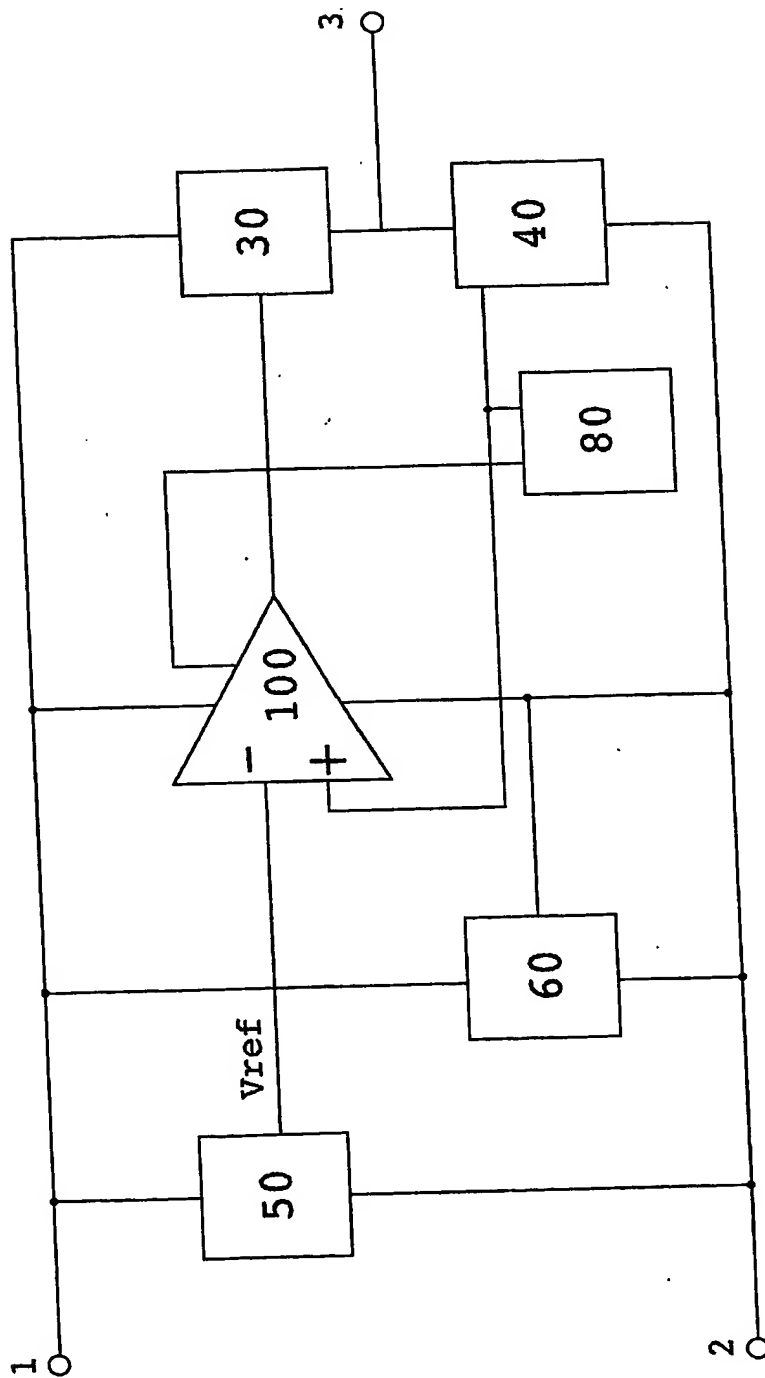


【図 16】

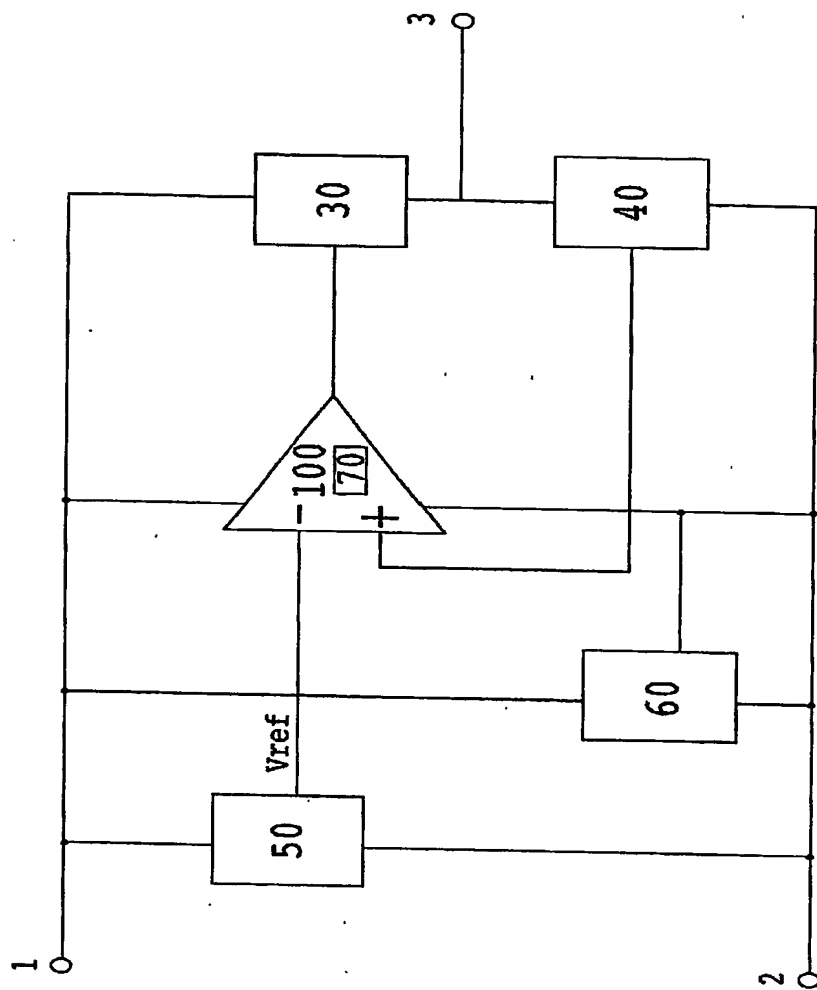




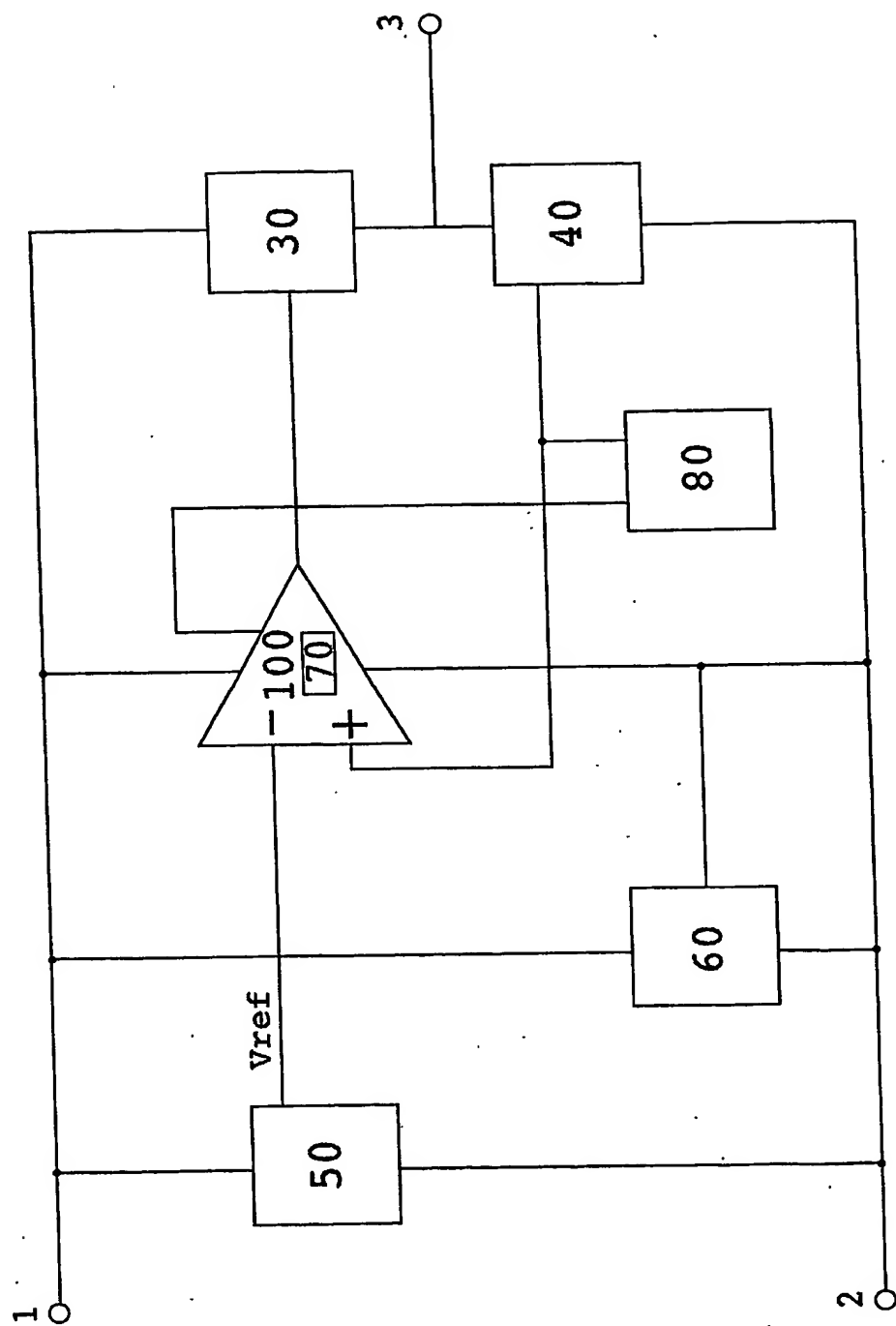
【図 18】



【图 1 9】



【図 20】



【書類名】 要約書

【要約】

【課題】 誤差増幅器の利得を大きくすることなくかつ動作電流とアイドル電流をごく微小にしても安定度、リップル雑音除去能力を大幅に向上した雑音キャンセル回路を提供する。

【解決手段】 誤差増幅器と基準電圧源を含む安定化電圧出力装置において電源ラインに発生するリップル雑音信号を、その雑音信号と逆相に動作するキャンセルトランジスタ、キャンセル信号発生回路を新規に付加して、リップル雑音キャンセル回路を構成した。

【選択図】 図 2 0

特2002-121231

出 願 人 履 歴 情 報

識別番号 [501114316]

1. 変更年月日 2001年 3月21日
[変更理由] 新規登録
住 所 東京都豊島区南大塚3-32-9 西島ビル
氏 名 ナノパワーソリューション株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.